



**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **NIHEI, Mizuhisa, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **10/796,146**

Examiner: **Not Yet Assigned**

Filed: **March 10, 2004**

For. **SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: April 20, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2003-340404, filed September 30, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, KRATZ, QUINTOS,  
HANSON & BROOKS, LLP

Donald W. Hanson  
Attorney for Applicants  
Reg. No. 27,133

DWH/rmp  
Atty. Docket No. **040102**  
Suite 1000  
1725 K Street, N.W.  
Washington, D.C. 20006  
(202) 659-2930



**23850**

PATENT TRADEMARK OFFICE

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日      2003年 9月30日  
Date of Application:

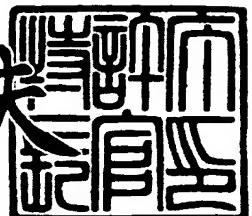
出願番号      特願2003-340404  
Application Number:  
[ST. 10/C] : [ J.P 2003-340404 ]

出願人      富士通株式会社  
Applicant(s):

2004年 3月11日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



**【書類名】** 特許願  
**【整理番号】** 0340778  
**【提出日】** 平成15年 9月30日  
**【あて先】** 特許庁長官殿  
**【国際特許分類】** H01L 23/36  
**【発明者】**  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
 内  
**【氏名】** 二瓶 瑞久  
**【発明者】**  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
 内  
**【氏名】** 堀部 雅弘  
**【発明者】**  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
 内  
**【氏名】** 粟野 祐二  
**【発明者】**  
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社  
 内  
**【氏名】** 常信 和清  
**【特許出願人】**  
**【識別番号】** 000005223  
**【氏名又は名称】** 富士通株式会社  
**【代理人】**  
**【識別番号】** 100091672  
**【弁理士】**  
**【氏名又は名称】** 岡本 啓三  
**【電話番号】** 03-3663-2663  
**【国等の委託研究の成果に係る記載事項】** 平成15年度新エネルギー・産業技術総合開発機構「ナノカーボン応用製品創製プロジェクト」委託研究、産業活力再生特別措置法第30条の適用を受ける特許出願  
**【手数料の表示】**  
**【予納台帳番号】** 013701  
**【納付金額】** 21,000円  
**【提出物件の目録】**  
**【物件名】** 特許請求の範囲 1  
**【物件名】** 明細書 1  
**【物件名】** 図面 1  
**【物件名】** 要約書 1  
**【包括委任状番号】** 9704683

**【書類名】特許請求の範囲****【請求項 1】**

SiC基板と、

前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される熱伝導体と  
を有することを特徴とする半導体装置。

**【請求項 2】**

SiC基板と、

前記SiC基板の一方の面の第1孔内に形成され、炭素元素の線状構造体により構成され  
る第1熱伝導体と、

前記第1孔から間隔をおいて前記SiC基板の一方の面に形成された第2孔内に形成され  
、炭素元素の線状構造体により構成される第2熱伝導体と、

前記SiC基板の他方の面上に形成された素子と

を有することを特徴とする半導体装置。

**【請求項 3】**

前記素子はHEMTであり、前記SiC基板の上から見た場合に、少なくとも前記第2熱伝導  
体の一部が、前記HEMTのゲート電極とドレイン電極との間に位置することを特徴とする請  
求項2に記載の半導体装置。

**【請求項 4】**

SiC基板と、

前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される第1熱伝導  
体と、

前記SiC基板の一方の面の全面を覆うように形成され、炭素元素の線状構造体により構  
成される第2熱伝導体と、

前記SiC基板の他方の面上に形成された素子と

を有することを特徴とする半導体装置。

**【請求項 5】**

窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、

前記SiC基板を熱処理することにより、前記窓から露出する該SiC基板に炭素元素の線状構  
造体を選択的に成長させて熱伝導体にする工程と

を有することを特徴とする半導体装置の製造方法。

**【請求項 6】**

第1窓を備えた第1マスク膜をSiC基板の一方の面上に形成する工程と、

前記SiC基板に対して第1の熱処理をすることにより、前記第1窓から露出する該SiC基  
板に炭素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、

前記第1マスク膜が除去されたSiC基板の一方の面上と前記第1熱伝導体上とに、該第  
1熱伝導体から離れた部分に第2窓を備えた第2マスク膜を形成する工程と、

前記SiC基板に対して第2の熱処理をすることにより、前記第2窓から露出する該SiC基  
板に炭素元素の線状構造体を選択的に成長させて第2熱伝導体にする工程と

を有することを特徴とする半導体装置の製造方法。

**【請求項 7】**

窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、

前記SiC基板に対して第1の熱処理を行うことにより、前記窓から露出する該SiC基板に  
炭素元素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、

前記マスク膜が除去されたSiC基板に対して第2の熱処理を行うことにより、該SiC基板  
の一方の面の全面に炭素の線状構造体を成長させて第2熱伝導体にする工程と

を有することを特徴とする半導体装置の製造方法。

**【請求項 8】**

窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、

前記SiC基板を熱処理することにより、前記窓から露出する該SiC基板に炭素元素の線状  
構造体を途中の深さまで選択的に成長させて熱伝導体とする工程と、

前記SiC基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項9】

半導体基板の一方の面に孔を形成する工程と、  
前記孔の中に炭素の線状構造物を選択的に成長させて熱伝導体にする工程と、  
前記半導体基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程と  
を有することを特徴とする半導体装置の製造方法。

**【書類名】**明細書

**【発明の名称】**半導体装置及びその製造方法

**【技術分野】**

**【0001】**

本発明は、半導体装置及びその製造方法に関し、より詳細には、基板からの放熱効果を高めることができる半導体装置及びその製造方法に関する。

**【背景技術】**

**【0002】**

近年、低雑音の增幅素子として、HEMT(High Electron Mobility Transistor)が広く普及している。そのHEMTは、チャネル層、スペーサ層、電子供給層をこの順に半導体基板上に形成してなり、チャネル層とスペーサ層との界面に形成される2次元電子ガス(2DEG: 2 Dimensional Electron Gas)の流れをゲート電極からの電界により制御することにより、ソース・ドレイン間の電流量が制御される。

**【0003】**

HEMTは、それを構成する各半導体層の組成によりいくつかのタイプがあるが、なかでも、GaNチャネル層とAlGaNスペーサ層を有するAlGaN/GaNヘテロ接合HEMTは、高パワー動作に好適である。但し、非特許文献1の図7に示されるように、AlGaN/GaNヘテロ接合HEMTは、高パワー動作を行うと、素子の発熱によって電流量が減少して、十分な素子特性が得られないという不都合が発生するので、この発熱問題に対して有効な解決策を施すことが必須となる。

**【0004】**

なお、本発明に関連する技術が、特許文献1、特許文献2、非特許文献2、及び非特許文献3にも開示される。

**【特許文献1】**特開平10-265208号公報

**【特許文献2】**特開2000-31462号公報

**【非特許文献1】**P.P. Runden, et al., MRS Internet J. Nitride Semicond. Res. 4S1, G6.35 (1999)

**【非特許文献2】**P. Kim, et al., Phys. Rev Lett. 87 (2001) 215502

**【非特許文献3】**M. Kusunoki, et al., Appl. Phys. Lett., 77 (2000) 531.

**【発明の開示】**

**【発明が解決しようとする課題】**

**【0005】**

上記の発熱問題は、AlGaN/GaNヘテロ接合HEMTのような化合物半導体に限らず、シリコン系の半導体デバイスでも見られ、半導体デバイス全般にわたってその解決策を見出す必要がある。

**【0006】**

本発明は、素子で発生する熱を効果的に放熱することができる半導体装置及びその製造方法を提供することを目的とする。

**【課題を解決するための手段】**

**【0007】**

本発明の第1の観点によれば、SiC基板と、前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される熱伝導体とを有することを特徴とする半導体装置が提供される。

**【0008】**

本発明の第2の観点によれば、SiC基板と、前記SiC基板の一方の面の第1孔内に形成され、炭素元素の線状構造体により構成される第1熱伝導体と、前記第1孔から間隔をおいて前記SiC基板の一方の面に形成された第2孔内に形成され、炭素元素の線状構造体により構成される第2熱伝導体と、前記SiC基板の他方の面上に形成された素子とを有することを特徴とする半導体装置が提供される。

**【0009】**

本発明の第3の観点によれば、SiC基板と、前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される第1熱伝導体と、前記SiC基板の一方の面の全面を覆うように形成され、炭素元素の線状構造体により構成される第2熱伝導体と、前記SiC基板の他方の面上に形成された素子とを有することを特徴とする半導体装置が提供される。

#### 【0010】

本発明の第4の観点によれば、窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板を熱処理することにより、前記窓から露出するSiC基板に炭素元素の線状構造体を選択的に成長させて熱伝導体にする工程とを有することを特徴とする半導体装置の製造方法が提供される。

#### 【0011】

本発明の第5の観点によれば、第1窓を備えた第1マスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板に対して第1の熱処理をすることにより、前記第1窓から露出する該SiC基板に炭素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、前記第1マスク膜が除去されたSiC基板の一方の面上と前記第1熱伝導体上とに、該第1熱伝導体から離れた部分に第2窓を備えた第2マスク膜を形成する工程と、前記SiC基板に対して第2の熱処理をすることにより、前記第2窓から露出する該SiC基板に炭素元素の線状構造体を選択的に成長させて第2熱伝導体にする工程とを有することを特徴とする半導体装置の製造方法が提供される。

#### 【0012】

本発明の第6の観点によれば、窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板に対して第1の熱処理を行うことにより、前記窓から露出する該SiC基板に炭素元素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、前記マスク膜が除去されたSiC基板に対して第2の熱処理を行うことにより、該SiC基板の一方の面の全面に炭素の線状構造体を成長させて第2熱伝導体にする工程とを有することを特徴とする半導体装置の製造方法が提供される。

#### 【0013】

本発明の第7の観点によれば、窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板を熱処理することにより、前記窓から露出する該SiC基板に炭素元素の線状構造体を途中の深さまで選択的に成長させて熱伝導体とする工程と、前記SiC基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程とを有することを特徴とする半導体装置の製造方法が提供される。

#### 【0014】

本発明の第8の観点によれば、半導体基板の一方の面に孔を形成する工程と、前記孔の中に炭素の線状構造物を選択的に成長させて熱伝導体にする工程と、前記半導体基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程とを有することを特徴とする半導体装置の製造方法が提供される。

#### 【発明の効果】

#### 【0015】

上記した本発明の第1の観点によれば、シリコン基板よりも熱伝導性に優れたSiC基板を使用し、且つ、熱伝導率の極めて高いカーボンナノチューブ（炭素元素の線状構造体）で熱伝導体を構成するので、SiC基板上の素子で発生した熱がSiC基板や熱伝導体から速やかに放熱され、素子の温度上昇を防止することができ、素子の特性を十分に引き出すことが可能となる。

#### 【0016】

この場合、SiC基板の上に膜を形成し、熱伝導体の上のこの膜にホールを形成して、熱伝導体と直接接続された電極をそのホール内に設けると、素子で発生した熱が電極を通して熱伝導体に逃げ易くなり、素子の温度上昇を一層防ぎ易くなる。

#### 【0017】

更に、その電極の最下層として、カーボンナノチューブとの接触抵抗が小さいチタン層を採用することにより、熱伝導体と電極との界面での電力の消費量を低減することができ

る。

**【0018】**

しかも、上記の膜とは反対側のSiC基板の全面に、上記の熱伝導体と電気的に接続された導電膜を形成することにより、熱伝導体を通ってきた熱をSiC基板の全面から逃がし易くなる。

**【0019】**

また、上記の膜とSiC基板との間の保護膜を形成することにより、熱伝導体からその膜に不純物が混入したり、その膜を形成する際に熱伝導体が劣化するのを防ぐことができ、高品位な半導体装置を提供することができる。

**【0020】**

特に、この保護膜として、格子定数がSiC基板と上記膜の間の値である膜を形成することにより、膜と保護膜の格子定数のミスマッチが小さくなつて、膜に格子欠陥が入り難くなる。

**【0021】**

そして、本発明の第2の観点によれば、第1熱伝導体と第2伝導体をSiC基板に設けるので、熱伝導体が一つしか無い場合と比較して、放熱効果を高めることができる。

**【0022】**

更に、SiC基板の他方の面から第2熱伝導体の上面までの距離を、SiC基板の他方の面から第1熱伝導体の上面までの距離よりも長くすることにより、素子と第2熱伝導体との間のリーク電流を低減できる。

**【0023】**

特に、素子としてHEMTを形成する場合は、SiC基板の上から見た場合に、少なくとも第2熱伝導体の一部が、電界が集中して発熱量が多くなるHEMTのゲート電極とドレイン電極との間に位置するようにすると、HEMTで発生した熱を第2熱伝導体によって効率よく拾うことができ、放熱効果を高めることができる。

**【0024】**

一方、本発明の第3の観点によれば、SiC基板の一方の面の全面に第2熱伝導体が形成されるので、素子で発生した熱をSiC基板の全面から放熱することができ、放熱効果が一層高まる。

**【0025】**

そして、本発明の第4の観点によれば、SiC基板を熱処理することにより、マスク膜から露出するSiC基板の一方の面側からカーボンナノチューブを選択的に成長させて熱伝導体にするので、エッティングが困難なSiC基板に熱伝導体を埋め込むための孔を予め形成する必要が無く、工程煩雑化を招くこと無しに、熱伝導体を容易に形成することができる。

**【0026】**

この場合、SiC基板を貫通するまでカーボンナノチューブを成長させるのではなく、その成長をSiC基板の途中の深さで停止させた後に、SiC基板の他方の面上に膜を形成するのが好ましい。このようにすると、SiC基板の他方の面に、SiCとは異種の材料のカーボンナノチューブが露出しないので、形成される膜に格子欠陥が入り難くなる。

**【0027】**

更に、SiC基板の上に素子を形成する前に、カーボンナノチューブを成長させるための熱処理を行うので、その熱処理によって素子がダメージを受けるのを防止することができる。

**【0028】**

一方、本発明の第5の観点によれば、第1の熱処理と第2の熱処理を別々に行うことにより、第1熱伝導体と第2熱伝導体をSiC基板に形成するので、これらの熱伝導体によって放熱効果が高められた半導体基板を提供することができる。

**【0029】**

また、本発明の第6の観点によれば、第2の熱処理により、SiC基板の一方の面の全面から基板の深さ方向にカーボンナノチューブが成長するので、最終的なSiC基板の厚さが

熱処理前よりも薄くなり、SiC基板内に熱が溜まり難くなつて、素子の素子特性を十分に引き出すことが可能となる。

#### 【0030】

そして、本発明の第7の観点によれば、カーボンナノチューブで構成される熱伝導体を、熱処理によりSiC基板の一方の面から基板の途中の深さまで形成した後、SiC基板を他方の面側から研磨して熱伝導体の表面を露出させる。このようにすると、研磨によってSiC基板の厚さが薄くなるので、SiC基板内に熱がこもり難くすることができる。

#### 【0031】

更に、SiC基板の一方の面側に露出する熱伝導体上に保護膜を形成し、この保護膜の上に別の膜を形成してもよい。その場合、保護膜上に形成される膜を、横方向成長モードのMOCVD法で行うことにより、膜に格子欠陥が入り難くなる。

#### 【0032】

更に、本発明の第8の観点によれば、半導体基板の孔の中にカーボンナノチューブを成長させて熱伝導体とした後、孔とは反対側の半導体基板の表面を研磨して熱伝導体を露出させるので、半導体基板の厚さが薄くなり、第9の観点と同様に基板に熱がこもり難くすることができる。

#### 【発明を実施するための最良の形態】

##### 【0033】

以下に、本発明を実施するための最良の形態について、添付図面を参照しながら詳細に説明する。

##### 【0034】

###### (第1実施形態)

図1～図3は、本発明の第1実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

##### 【0035】

本実施形態では、半導体素子の一例として、AlGaN/GaNヘテロ接合HEMTを作製する。

##### 【0036】

最初に、図1(a)に示す断面構造を得るまでの工程について説明する。

##### 【0037】

まず、厚さが $100\text{ }\mu\text{m}$ 程度に薄くされたSiC基板1の一方の面1aと他方の面1bに、プラズマCVD法等によりシリコン窒化膜を厚さ $500\text{ nm}$ 程度に形成し、それをマスク膜2とする。その後、このマスク膜2上にレジストパターン(不図示)を形成し、このレジストパターンをマスクとして使用しながら、SF<sub>6</sub>等のフッ素系のエッチングガスを用いるドライエッチングにより、SiC基板1の面1a側のマスク膜2をエッチングし、窓2aを形成する。この後に、レジストパターンは除去される。

##### 【0038】

次いで、図1(b)に示すように、酸素雰囲気中、又は $10^{-4}\sim10^{-10}\text{ Torr}$ 程度の圧力の真空中にSiC基板を置き、 $1200\sim2000^\circ\text{C}$ 、好ましくは $1500\sim1700^\circ\text{C}$ の基板温度でSiC基板1の熱処理を開始する。これにより、窓2a内に露出するSiC基板1からシリコン元素が除去され、残った炭素元素がSiC基板1の深さ方向に配向してカーボンナノチューブの束(炭素の線状構造体)3となる。このカーボンナノチューブの束3は、直徑が約 $1\text{ nm}$ の円筒状のカーボンナノチューブが数百から数千本寄り集まってなり、SiC基板1の中に向かって窓2aと自己整合的に形成される。特に、面1aが $\alpha\text{-SiC}(000-1)$ C面となるSiC基板1を採用すると、SiC基板1の深さ方向に向かって各カーボンナノチューブが成長し易くなるので、高品位なカーボンナノチューブの束3を得ることができる。

##### 【0039】

なお、マスク膜2で覆われていない面1b上にはカーボンナノチューブは成長しない。また、この熱処理の際、マスク膜2も分解され、その膜厚が次第に減少する。このようなカーボンナノチューブの成長方法は、SiC表面分解法とも呼ばれる。

##### 【0040】

そして、図1（c）に示すように、カーボンナノチューブの束3がSiC基板1を貫通する前に上記の熱処理を止めてカーボンナノチューブの成長を停止し、得られたカーボンナノチューブの束3を熱伝導体4とする。このとき、熱処理の停止と同時にマスク膜2が消失するのが好ましいが、マスク膜2がSiC基板1上に残存しても弗酸溶液等により除去することができる。また、マスク膜2が形成されていた部分のSiC基板1上には、アモルファスカーボン等が付着するが、そのアモルファスシリコンも弗酸溶液等を使用する酸処理により除去することができる。

#### 【0041】

ここまで工程により、カーボンナノチューブで構成される熱伝導体4がSiC基板1の孔1dに埋め込まれた構造が得られるが、熱伝導体4は、SiC基板1のシリコンが抜けて形成されたものであるため、その端面4aは、SiC基板1の面1aと同じ高さになる。

#### 【0042】

次に、図2（a）に示す断面構造を得るまでの工程について説明する。

#### 【0043】

まず、SiC基板1の面1a上と熱伝導体4の端面4a上に、厚さ10nmのTi（チタン）層と厚さ500nmのAu（金）層をスパッタ法によりこの順に形成し、これらの導電膜で構成される接地電極8を形成する。この接地電極8は、SiC基板1の面1aの全面に形成され、熱伝導体4と電気的に接続される。

#### 【0044】

その後に、接地電極8とは反対側のSiC基板1の面1b上に、チャネル層5として厚さ約3μm程度のi型GaN膜をMOCVD(Metal Organic CVD)法により形成する。そのMOCVD法では、TMGa（トリメチルガリウム）とNH<sub>3</sub>がそれぞれGaソース、Nソースとして使用されると共に、成長圧力20Torr、基板温度1000°Cの成長条件が採用される。

#### 【0045】

次いで、TMGa、NH<sub>3</sub>、及びTMA1（トリメチルアルミニウム）を反応ガスとして使用するMOCVD法を用いて、成長圧力20Torr、基板温度1000°Cの条件下で、チャネル層5の上にi型AlGaNを厚さ約10nm程度に形成し、それをスペーサ層6とする。

#### 【0046】

更に、スペーサ層6を形成した際に使用した反応ガスにn型不純物のソースとしてSiを添加したガスを使用し、成長圧力20Torr、基板温度1000°Cの成長条件を採用するMOCVD法によりn型AlGaNを厚さ約10nm程度に形成し、それを電子供給層7とする。

#### 【0047】

なお、各層5～7を、MBE(Molecular Beam Epitaxy)法により形成してもよい。

#### 【0048】

続いて、図2（b）に示すように、ホール形状の窓を備えたレジストパターン（不図示）を電子供給層7上に形成し、このレジストパターンをエッチングマスクに使用しながら、BCl<sub>3</sub>等の塩素系ガスをエッチングガスとするプラズマエッチングにより、電子供給層7からSiC基板1までをエッチングし、熱伝導体4に至る深さのホール9を形成する。この後に、レジストパターンは除去される。

#### 【0049】

次に、図3（a）に示す断面構造を得るまでの工程について説明する。

#### 【0050】

まず、ソース電極形状の窓とドレイン電極形状の窓を備えたレジストパターン（不図示）を電子供給層7上に形成する。そして、このレジストパターンの上面と窓の中に、厚さ10nmのTi層と厚さ300nmのAu層を蒸着法により形成する。この金属積層膜は、レジストパターンのソース電極形状の窓を通じ、ホール9内にも形成される。その後、レジストパターンを除去することにより、これらの金属積層膜をリフトオフ法でバターニングし、電子供給層7上にソース電極10及びドレイン電極11として残す。そのソース電極10は、ホール9の底部において熱伝導体4と直接接続され、その熱伝導体4を介してグランド電極8と電気的に接続されることになる。

**【0051】**

その後、図3（b）に示すように、厚さ10nmのPt（プラチナ）層と厚さ300nmのAu層とをこの順に形成してなるゲート電極12を、蒸着法とリフトオフ法により形成する。

**【0052】**

ここまで工程を終了後の平面図は図4のようになり、先の図3（b）は、図4のI-I線に沿う断面図に相当する。

**【0053】**

図4に示される平面レイアウトでは、一つの活性領域に二つのソース電極10が形成され、一つのドレイン電極11が各ソース電極10に対して共通となる。

**【0054】**

以上により、本実施形態に係るHEMTの基本構造が完成する。

**【0055】**

上記した本実施形態によれば、熱伝導体4を構成する材料としてカーボンナノチューブを採用したが、非特許文献2に記載されるようにカーボンナノチューブの熱伝導率は30W/(cm·K)以上であり、この値はSiC結晶の熱伝導率（約4.9W/(cm·K)）よりもはるかに大きい。そのため、HEMTで発生した熱が熱伝導体4を通じてSiC基板1の面1a側に速やかに放熱され、高パワー動作に伴うHEMTの温度上昇を低減することができるので、温度上昇による電流量の減少を防ぐことができ、HEMTの素子特性を十分に引き出すことが可能となる。

**【0056】**

しかも、シリコン基板よりも熱伝導率が3倍程度大きいSiC基板1を使用するので、シリコン基板上にHEMTを作製する場合と比較して、HEMTで発生する熱をSiC基板1の裏面1a側に効率的に放熱することができる。

**【0057】**

更に、熱伝導体4を構成するカーボンナノチューブは、マスク膜2の窓2a（図1（b）参照）を通じてSiC基板1の表面を分解して形成されるので、エッチングが困難なSiC基板1に熱伝導体4を形成するための孔を予め形成すること無しに、熱伝導体4をSiC基板1に容易に形成することができ、工程の簡略化を図ることができる。

**【0058】**

そのカーボンナノチューブは、SiC基板1の途中の深さでその成長が停止されるので、SiCとは異種の材料となる熱伝導体4がSiC基板1の他方の面1bに露出しない。その結果、他方の面1bの全面には、SiCのみが現れ、異種の材料が現れないで、異種の材料間の格子定数の違いに起因する格子欠陥が面1b上に形成されるチャネル層5に入り難くなる。

**【0059】**

そして、HEMT等の半導体素子をSiC基板1上に作製する前にその熱伝導体4を形成するので、カーボンナノチューブを成長させる熱処理によってHEMTがダメージを受けるのを防止できる。

**【0060】**

また、ホール9の中にソース電極10を形成し、そのソース電極10をホール9の底部で熱伝導体4と直接接続したので、HEMTで発生した熱が、金属よりなる熱伝導率の高いソース電極10を通じて熱伝導体4に逃げ易くなり、HEMTの温度上昇を一層防ぎ易くなる。

**【0061】**

その熱は、SiC基板1の一方の面1aの全面に形成された接地電極8により、更に効果的に逃がされる。

**【0062】**

しかも、カーボンナノチューブとの接触抵抗が小さいTi層をソース電極10の最下層として採用したので、熱伝導体4とソース電極10との界面で電力が無駄に消費されるのを防ぐことができる。

**【0063】**

なお、上記では、半導体素子としてHEMTを形成したが、本発明はこれに限定されず、GaN系LED等の半導体素子を形成してもよい。これについては、後述の各実施形態でも同様である。

#### 【0064】

(第2実施形態)

図5～図6は、本発明の第2実施形態に係る半導体装置の製造方法を工程順に示す断面図である。これらの図において、第1実施形態で説明した部材には第1実施形態と同じ符号を付し、以下ではその説明を省略する。

#### 【0065】

最初に、図5 (a) に示す断面構造を得るまでの工程について説明する。

#### 【0066】

まず、第1実施形態で説明したマスク膜2の成膜方法を採用し、SiC基板1の各面1a、1b上に、第1マスク膜13としてシリコン塗化膜をCVD法により厚さ約500nmに形成した後、SiC基板1の面1a上の第1マスク膜13に第1窓13aを形成する。

#### 【0067】

その後に、酸素雰囲気中、又は $10^{-4} \sim 10^{-10}$ Torr程度の圧力の真空中で基板温度を1200～2000°C、好ましくは1500～1700°Cに保持する第1の熱処理を行う。これにより、カーボンナノチューブで構成される第1熱伝導体14が、SiC基板1の表面からその中に第1窓13aと自己整合的に形成されると共に、第1マスク膜13が消失する。

#### 【0068】

次に、図5 (b) に示す断面構造を得るまでの工程について説明する。

#### 【0069】

まず、プラズマCVD法により、第1熱伝導体13の端面14aを含むSiC基板1の各面1a、1b上にシリコン塗化膜を厚さ500nmに形成し、それを第2マスク膜15とする。その後、面1a側の第2マスク膜15上にレジストパターン(不図示)を形成し、そのレジストパターンをエッチングマスクとして使用しながら、SF<sub>6</sub>等のフッ素系のエッチングガスを用いるドライエッチングにより第2マスク膜15をエッチングし、第1熱伝導体14から間隔をおいて第2窓15aを形成する。この後に、レジストパターンは除去される。

#### 【0070】

続いて、図5 (c) に示すように、酸素雰囲気中、又は $10^{-4} \sim 10^{-10}$ Torr程度の圧力の真空中において、1200～2000°C、好ましくは1500～1700°Cの基板温度を採用する第2の熱処理をSiC基板1に対して行い、SiCの表面分解を開始する。その結果、SiC基板1には、第2窓15aと自己整合的にカーボンナノチューブが成長する。そして、そのカーボンナノチューブが第1熱伝導体14よりも長く成長する前に第2の熱処理を終了し、得られたカーボンナノチューブを第2熱伝導体16とする。これにより、SiC基板1の孔1e内に第2熱伝導体16が形成された構造が得られる。

#### 【0071】

なお、第2マスク膜15は、カーボンナノチューブの成長と共に分解され、第2の熱処理が終了した時点では消失する。

#### 【0072】

この後は、第1実施形態で説明した図2 (a) ～図3 (b) の工程を行うことにより、図6に示されるHEMTの基本構造を完成させる。この構造によれば、第1実施形態と同様に、SiC基板1の孔1dに第1熱伝導体15が埋め込まれ、ホール9内のソース電極10がその第1熱伝導体15と電気的に接続される。

#### 【0073】

この工程を終了後の平面図は図7のようになり、先の図6は図7のII-II線に沿う断面図に相当する。

#### 【0074】

図7に示されるように、第2熱伝導体14は、少なくともその一部がゲート電極12とドレイン電極11との間に位置するように形成される。

#### 【0075】

上記した本実施形態によれば、図6に示したように、第1熱伝導体14の他に、第2熱伝導体16も形成したので、HEMTで発生した熱が、第1熱伝導体14と第2熱伝導体16の両方を通ってSiC基板1の面1a側に放熱され、第1実施形態と比較して効果的に放熱を行うことができる。

#### 【0076】

更に、電界が集中して発熱量が大きくなるゲート電極12とドレイン電極11の間に、第2熱伝導体16の少なくとも一部を配することにより、発生した熱を第2熱伝導体16によって効率よく拾うことができ、放熱効果を高めることができる。

#### 【0077】

しかも、SiC基板1の面1bから第2熱伝導体16の上面16aまでの距離d2を、面1bから第1熱伝導体14の上面14bまでの距離d1よりも長くしたので、チャネル層5内の二次元電子ガスが第2熱伝導体16に流れ込み難くなる。その結果、二次元電子ガスと第2熱導電体16との間のリーク電流が低減された高品位なHEMTを提供することができる。

#### 【0078】

なお、本実施形態の平面レイアウトは図7に限定されず、図8に示すように、ソース電極10、ゲート電極12、及びドレイン電極11を共通にまたぐような矩形状の孔の中に第2熱伝導体16を形成してもよい。

#### 【0079】

##### (第3実施形態)

図9は、本発明の第3実施形態に係る半導体装置の製造方法について示す断面図である。これらの図において、第1、第2実施形態で既に説明した部材に対してはこれらの実施形態と同じ符号を付し、以下ではその説明を省略する。

#### 【0080】

まず、図9(a)に示すように、第2実施形態で説明した第1の熱処理をSiC基板1に対して行うことにより、カーボンナノチューブで構成される第1熱伝導体17aをSiC基板1の一方の面1a側に形成する。その後に、SiC基板1の他方の面1bの上のみに、プラズマCVD法等によりシリコン窒化膜を厚さ500nmに形成し、それを第2マスク膜15とする。

#### 【0081】

次に、図9(b)に示すように、第2実施形態で説明した第2の熱処理をSiC基板1に対して行い、SiCの表面分解により、第2マスク膜15で覆われていないSiC基板1の面1aの全面にカーボンナノチューブを成長させ、それを第2熱伝導体17bとする。この第2の熱処理により、第2マスク膜15は分解されて最終的には消失する。

#### 【0082】

この後は、第1実施形態で説明した図2(a)～図3(b)の工程を行うことにより、図9(c)に示されるHEMTの基本構造を完成させる。上記のプロセスによれば、第1熱伝導体17aが、SiC基板1の孔1d内に形成され、ホール9内のソース電極10に直接接続される構造が得られる。

#### 【0083】

上記した本実施形態によれば、SiCの表面分解により、SiC基板1の一方の面1aの全面にカーボンナノチューブを成長させ、それを第2熱伝導体17bとしたので、HEMTで発生した熱をSiC基板1の面1aの全面から放熱することができ、第1、第2実施形態よりも放熱効果が一段と良くなる。

#### 【0084】

更に、第2熱伝導体17bは、カーボンナノチューブをSiC基板1の面1aから基板の深さ方向に成長してなるので、最終的なSiC基板1の厚さが第1、第2実施形態よりも薄

くなり、SiC基板1内に熱が溜まり難くなって、HEMTの素子特性を十分に引き出すことが可能となる。

#### 【0085】

(第4実施形態)

次に、本発明の第4実施形態に係る半導体装置の製造方法について説明する。

#### 【0086】

図10～図13は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

#### 【0087】

最初に、図10(a)に示す断面構造を得るまでの工程について説明する。

#### 【0088】

まず、厚さが $400\mu\text{m}$ 程度のSiC基板20の一方の面20aと他方の面20b上に、プラズマCVD法等によりシリコン塗化膜を厚さ $500\text{nm}$ 程度に形成して、それをマスク膜21とする。その後、このマスク膜21上にレジストパターン(不図示)を形成し、このレジストパターンをマスクとして使用しながら、SF<sub>6</sub>等のフッ素系のエッチングガスを用いるドライエッチングによりマスク膜21をエッチングし、面20b上のマスク膜21に窓21aを形成する。この後に、レジストパターンは除去される。

#### 【0089】

続いて、図10(b)に示すように、酸素雰囲気中、又は $10^{-4}\sim10^{-10}\text{Torr}$ 程度の圧力の真空中にSiC基板を置き、 $1200\sim2000^\circ\text{C}$ 、好ましくは $1500\sim1700^\circ\text{C}$ の基板温度でSiC基板20の熱処理を開始する。この熱処理により、窓21aから露出するSiC基板20には、SiCの表面分解によりカーボンナノチューブが成長する。そして、このカーボンナノチューブがSiC基板20の表面から約 $50\mu\text{m}$ の深さまで達したところで上記の熱処理を終了し、上記のカーボンナノチューブを熱伝導体22とする。本実施形態では、この熱処理の時間を数時間、例えば10時間とする。

#### 【0090】

なお、SiC基板20の深さ方向にカーボンナノチューブを配向させ易くするために、面20bが $\alpha$ -SiC(000-1)面となるSiC基板20を採用するのが好ましい。

#### 【0091】

また、シリコン塗化膜よりなるマスク膜21は、この熱処理により分解し、熱処理を終了する際には消失する。

#### 【0092】

次に、図10(c)に示す断面構造を得るまでの工程について説明する。

#### 【0093】

まず、熱伝導体22とSiC基板20のそれぞれの上面に、TMAIとNH<sub>3</sub>とを反応ガスとして使用するMOCVD法によりAlN膜を厚さ約 $10\text{nm}$ に形成する。次いで、熱伝導体22を覆う平面形状のレジストパターン(不図示)をこのAlN膜上に形成し、このレジストパターンをエッチングマスクにしてAlN膜をエッチングし、これにより残ったAlN膜を保護膜23とする。AlN膜のエッチングには、BCl<sub>3</sub>等の塩素系のエッチングガスを使用するドライエッチングが採用される。

#### 【0094】

続いて、図11(a)に示すように、TMGaとNH<sub>3</sub>をそれぞれGaソース、Nソースとする横方向成長モード(Enhanced Lateral Overgrowth)のMOCVD法により、保護膜23上とSiC基板20上にGaN膜を厚さ約 $100\text{nm}$ に形成し、それをバッファ層24とする。横方向成長モードのMOCVD法では、SiC基板20の上方に不図示のマスクを設け、マスクの下方のSiC基板にバッファ層24を横方向にエピタキシャルに成長させて、バッファ層24に格子欠陥が発生し難くなる。

#### 【0095】

次に、図11(b)に示す断面構造を得るまでの工程について説明する。

#### 【0096】

まず、バッファ層24の上に、チャネル層25として厚さ約3μm程度のi型GaN膜をMOCVD法により形成する。そのMOCVD法では、TMGaとNH<sub>3</sub>がそれぞれGaソース、Nソースとして使用されると共に、成長圧力20Torr、基板温度1000℃の成長条件が採用される。

#### 【0097】

次いで、TMGa、NH<sub>3</sub>、及びTMAIを反応ガスとして使用するMOCVD法を用いて、成長圧力20Torr、基板温度1000℃の条件下で、チャネル層25の上にi型AlGaNを厚さ約10nm程度に形成し、それをスペーサ層26とする。

#### 【0098】

更に、スペーサ層26を形成した際に使用した反応ガスにn型不純物のソースとしてSiを添加したガスを使用し、成長圧力20Torr、基板温度1000℃の成長条件を採用するMOCVD法によりn型AlGaNを厚さ約10nm程度に形成し、それを電子供給層27とする。

#### 【0099】

続いて、図12(a)に示すように、ホール形状の窓を備えたレジストパターン(不図示)を電子供給層27上に形成し、このレジストパターンをエッチングマスクに使用しながら、BCl<sub>3</sub>等の塩素系ガスをエッチングガスとするプラズマエッチングにより、電子供給層27から保護膜23までをエッチングし、熱伝導体22に至る深さのホール28を形成する。この後に、レジストパターンは除去される。

#### 【0100】

次に、図12(b)に示す断面構造を得るまでの工程について説明する。

#### 【0101】

まず、ホール28の上にソース電極形状の窓を有し、且つソース電極から離れたところにドレイン形状の窓を有するレジストパターンを電子供給層27の上に形成する。そして、このレジストパターン上面と窓の中に、スパッタ法により厚さ10nmのTi層と厚さ300nmのAu層を順に形成する。その後に、レジストパターンを除去することにより、これらの金属積層膜をリフトオフ法でパターニングし、電子供給層27上にソース電極29及びドレイン電極30として残す。そのソース電極29は、ホール28の底部において熱伝導体22と直接接続される。

#### 【0102】

続いて、蒸着法とリフトオフ法により、厚さ10nmのPt層と厚さ300nmのAu層とをこの順に形成してなるゲート電極31を形成する。

#### 【0103】

次いで、図13(a)に示すように、直径が約30μmのダイヤモンド粒よりなるスラリを使用して、SiC基板20の一方の面20a側からCMP(Chemical Mechanical Polishing)を行うことにより、SiC基板20の厚さを約30~200μm程度に薄くすると共に、SiC基板20の裏面に熱伝導体22の表面を露出させる。この工程により、SiC基板20の孔20c内に熱伝導体22が形成された構造が得られることになる。

#### 【0104】

そして最後に、図13(b)に示すように、SiC基板20の裏面と熱伝導体22の表面に、厚さ10nmのTi層と厚さ500nmのAu層をスパッタ法によりこの順に形成し、これらの導電膜で構成される接地電極32を形成する。この接地電極32は、SiC基板20の裏面の全面に形成され、熱伝導体22と電気的に接続される。

#### 【0105】

以上により、本実施形態に係るHEMTの基本構造が完成する。

#### 【0106】

上記した本実施形態によれば、第1実施形態と同様に、カーボンナノチューブよりなる熱伝導体22をSiCの表面分解により形成するので、SiC基板1の孔を予め形成しておく必要が無い。そのため、孔を予め形成してその中に後で熱伝導体22を形成する場合と比較して、工程の簡略化が図れると共に、熱伝導体22を容易に形成することができる。

#### 【0107】

更に、図13(a)の工程においてCMPにより熱伝導体22を露出させる際、SiC基板2

0の厚さが薄くなるので、接地電極32とソース電極29との接続距離を短くすることができる。その結果、SiC基板20を薄くしない場合と比較して、より高い周波数領域まで伝送損失を低減することができ、高品位なHEMTを提供することができる。

#### 【0108】

また、SiC基板20を薄くしたことで、HEMTで発生した熱がSiC基板20内にこもり難くなり、放熱効果を高めることができる。そして、チップ・オン・チップ(CoC)等のようにチップを積み重ねて三次元実装を行う場合でも、SiC基板20の厚さが薄いので、実装後の装置の厚さが高くならず、電子機器の小型化に寄与することができる。

#### 【0109】

しかも、熱伝導体22の上に保護膜23を形成したので、バッファ層24等の半導体層を形成する際に、熱伝導体22を構成するカーボンナノチューブが劣化するのを防いだり、カーボンナノチューブからバッファ層24に不純物が混入するのを防ぐことができる。

#### 【0110】

その保護膜23としてAlN層を形成したが、AlNの格子定数は3.110 Åであり、SiC基板1の格子定数(3.086 Å)とバッファ層24を構成するGaNの格子定数(3.189 Å)の間の値なので、バッファ層24と保護膜23の格子定数のミスマッチが小さくなる。従って、保護膜23上のバッファ層24に格子欠陥が発生し難くなり、信頼性の高いHEMTを提供することができる。

#### 【0111】

更に、図11(a)に示したように、横方向成長モードでバッファ層24を成膜するので、異なる格子定数を有するSiC基板20と保護膜23の上に、格子欠陥が低減された高品位なバッファ層24を形成することができる。

#### 【0112】

##### (第5実施形態)

次に、本発明の第5実施形態に係る半導体装置の製造方法について説明する。

#### 【0113】

図14～図17は、本実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

#### 【0114】

最初に、図14(a)に示すように、シリコン基板40の上にフォトレジストを塗布し、それを露光、現像することにより、窓41aを備えたレジストパターン41とする。なお、シリコン基板40に代えて、GaAs基板やサファイア基板を使用してもよい。

#### 【0115】

次に、図14(b)に示すように、誘導結合型プラズマエッティング(ICP: Inductively Coupled Plasma)のエッティングチャンバ(不図示)内にシリコン基板40を容れ、レジストパターン41をエッティングマスクとして使用しながら、SF<sub>6</sub>をエッティングガスとして使用する高密度プラズマエッティングによりシリコン基板40をエッティングし、深さが50 μm以上の孔40aを形成する。

#### 【0116】

なお、ウエットエッティングにより孔40aを形成してもよい。

#### 【0117】

続いて、図14(c)に示すように、孔40aの底面とレジストパターン41上とにスパッタ法によりNi(ニッケル)膜を厚さ約10nmに形成し、それを触媒層42とする。なお、スパッタ法に代えて、蒸着法、レーザアブレーション法、めっき法等により触媒層42を形成してもよい。更に、金属微粒子を溶媒中に分散させてなる溶液を全面に塗布して触媒層42としてもよい。また、触媒層42を構成する金属もNiに限定されず、Fe(鉄)、Co(コバルト)、又はこれらの合金を用いても良い。

#### 【0118】

次いで、図15(a)に示すように、レジストパターン41を除去し、孔40aの底部にのみ触媒層42を残す。

**【0119】**

次に、図15（b）に示す断面構造を得るまでの工程について説明する。

**【0120】**

まず、不図示の真空チャンバ内にシリコン基板40を容れ、熱CVD法の反応ガスとしてアセチレンと水素の混合ガスをそれぞれ80sccm、20sccmの流量で真空チャンバ内に導入し、真空チャンバ内の圧力を200Pa、基板温度を900℃に維持する。このようにすると、シリコン基板40の深さ方向に配向したカーボンナノチューブの束43が触媒層42の上にのみ選択的に成長する。そして、カーボンナノチューブの束43の先端がシリコン基板40の表面よりも高く成長したところで反応ガスの導入を停止し、真空チャンバからシリコン基板40を取り出す。

**【0121】**

なお、カーボンナノチューブの束43の成長方法はこれに限定されない。例えば、熱フィラメントによりガス解離を行う熱フィラメントCVD法でカーボンナノチューブを成長してもよい。その場合、例えば、反応ガスとしてアセチレンと水素との混合ガスをそれぞれ80sccm、20sccmの流量で真空チャンバ内に導入し、圧力1000Pa、基板温度600℃、熱フィラメント温度1800℃とする。また、直流(DC)プラズマと熱フィラメントとを組み合わせたDCプラズマ熱フィラメントCVD法を用いてもよい。この場合は、例えば、反応ガスとしてアセチレンと水素との混合ガスをそれぞれ80sccm、20sccmの流量で真空チャンバ内に導入し、圧力1000Pa、基板温度600℃、熱フィラメント温度1800℃とする。

**【0122】**

続いて、図15（c）に示すように、シリコン基板40の表面よりも上に出たカーボンナノチューブの束43をCMP法により研磨し、それを孔40a内にのみ残して熱伝導体44とする。このCMPでは、例えば、直径が約30μmのダイヤモンド粒よりなるスラリが使用される。

**【0123】**

なお、このようにCMPを行うのではなく、カーボンナノチューブの束43をその先端がシリコン基板40の表面に一致するように成長させることも考えられるが、カーボンナノチューブの束43の成長をこのように精度良くコントロールするのは困難なので、CMPによる平坦化でカーボンナノチューブの束43をシリコン基板40の表面に揃えるのが好ましい。

**【0124】**

また、CMPに代えて、シリコン基板40の表面に対してArイオンを斜めに入射するアルゴンイオンミリング法を採用して、カーボンナノチューブ43の先端を除去してもよい。

**【0125】**

次に、図16（a）に示す断面構造を得るまでの工程について説明する。

**【0126】**

まず、熱伝導体44とシリコン基板40のそれぞれの上面に、TMAIとNH<sub>3</sub>とを反応ガスとして使用するMOCVD法によりAIN膜を厚さ約10nmに形成する。次いで、熱伝導体44を覆う平面形状のレジストパターン（不図示）をこのAIN膜上に形成し、このレジストパターンをエッティングマスクにしてAIN膜をエッティングし、これにより残ったAIN膜を保護膜23とする。AIN膜のエッティングには、BCl<sub>3</sub>等の塩素系のエッティングガスを使用するドライエッティングが採用される。

**【0127】**

次いで、図16（b）に示すように、TMGaとNH<sub>3</sub>をそれぞれGaソース、Nソースとする横方向成長モードのMOCVD法により、保護膜23上とシリコン基板40上にGaN膜を厚さ約100nmに形成し、それをバッファ層24とする。

**【0128】**

この後は、第4実施形態で説明した図11（b）～図12（b）の工程を行うことにより、図16（c）に示す断面構造を得る。

**【0129】**

次に、図17（a）に示すように、直径が約 $30\mu\text{m}$ のダイヤモンドよりなるスラリを使用して、シリコン基板40の一方の面40a側からCMPを行うことにより、シリコン基板40の厚さを約 $30\sim200\mu\text{m}$ 、例えば $50\mu\text{m}$ 程度に薄くすると共に、シリコン基板40の裏面に熱伝導体44の表面を露出させる。なお、シリコン基板40に代えてGaAs基板やサファイア基板を使用する場合は、このCMPにより基板の厚さを $30\mu\text{m}$ 程度にまで薄くするのが好ましい。

**【0130】**

この工程により、シリコン基板40の孔40b内に熱伝導体44が形成された構造が得られることになる。

**【0131】**

そして最後に、図17（b）に示すように、シリコン基板40の裏面と熱伝導体44の露出面に、厚さ $10\text{nm}$ のTi層と厚さ $500\text{nm}$ のAu層をスパッタ法によりこの順に形成して接地電極32とする。この接地電極32は、シリコン基板40の裏面の全面に形成されて熱伝導体44と電気的に接続される。

**【0132】**

以上により、本実施形態に係るHEMTの基本構造が完成する。

**【0133】**

上記した本実施形態によれば、図17（a）の工程のCMPにより、シリコン基板40の厚さを $30\sim200\mu\text{m}$ 程度に薄くしているので、第4実施形態と同様の理由により、シリコン基板40を薄くしない場合と比較してより高い周波数領域まで伝送損失を低減することができ、高品位なHEMTを提供することができる。

**【0134】**

更に、シリコン基板40の厚さを薄くしたことにより、HEMTで発生した熱がシリコン基板40内にこもり難くなつて放熱効果を高めることができたり、三次元実装を行う場合に装置の厚さが高くならず、電子機器の小型化に寄与することができるといった利点が得られる。

**【0135】**

そして、シリコン基板40の上にHEMTを形成する前に、カーボンナノチューブで構成される熱伝導体44をCVD法により形成しているので、そのCVDにおける熱によってHEMTを構成する各半導体層25～27がダメージを受けず、HEMTの信頼性を高めることができる。

**【0136】**

また、第4実施形態と同様に、保護膜23として、シリコン基板40の格子定数（ $5.43\text{\AA}$ ）とGaNよりなるバッファ層24の格子定数（ $3.189\text{\AA}$ ）の間の値の格子定数（ $3.110\text{\AA}$ ）を有するAINを採用したので、格子定数のミスマッチによる格子欠陥がバッファ層24に発生し難くなる。更に、保護膜23を構成するAINの格子定数（ $3.110\text{\AA}$ ）が、バッファ層24を構成するGaNの格子定数（ $3.189\text{\AA}$ ）に非常に近いので、格子欠陥がバッファ層24により一層入り難くなる。

**【0137】**

しかも、HEMT等の半導体素子をシリコン基板40上に作製する前に熱伝導体44を形成するので、CVD法でカーボンナノチューブを成長させる際の熱によってHEMTがダメージを受けるのを防止できる。

**【0138】****（その他の実施形態）**

上記した各実施形態において、放熱効果を更に高めるために、ヒートシンク（放熱板）を設けてもよい。図18に示すように、そのヒートシンク50は、例えば断面が凹凸状のアルミニウムよりなり、第1～第3実施形態では、不図示の接着材等により接地電極8上に設けられる。また、第4、第5実施形態では、接地電極32上にそのヒートシンクを設ければよい。

**【0139】**

以下に、本発明の特徴を付記する。

**【0140】**

(付記1) SiC基板と、

前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される熱伝導体とを有することを特徴とする半導体装置。

**【0141】**

(付記2) 前記SiC基板の上に形成された膜と、

前記熱伝導体の上の前記膜に形成されたホールと、

前記ホール内に形成され、前記熱伝導体と直接接続された電極とを有することを特徴とする付記1に記載の半導体装置。

**【0142】**

(付記3) 前記電極は、最下層にチタン層を有する金属積層膜よりなることを特徴とする付記2に記載の半導体装置。

**【0143】**

(付記4) 前記膜とは反対側の前記SiC基板の全面に、前記電極と電気的に接続された導電膜が形成されたことを特徴とする付記2に記載の半導体装置。

**【0144】**

(付記5) 前記SiC基板と前記膜との間に保護膜が形成されたことを特徴とする付記2に記載の半導体装置。

**【0145】**

(付記6) 前記保護膜の格子定数は、前記SiC基板と前記膜のそれぞれの格子定数の間の値であることを特徴とする付記5に記載の半導体装置。

**【0146】**

(付記7) SiC基板と、

前記SiC基板の一方の面の第1孔内に形成され、炭素元素の線状構造体により構成される第1熱伝導体と、

前記第1孔から間隔をおいて前記SiC基板の一方の面に形成された第2孔内に形成され、炭素元素の線状構造体により構成される第2熱伝導体と、

前記SiC基板の他方の面上に形成された素子と  
を有することを特徴とする半導体装置。

**【0147】**

(付記8) 前記SiC基板の他方の面から前記第2熱伝導体の上面までの距離は、前記SiC基板の他方の面から前記第1熱伝導体の上面までの距離よりも長いことを特徴とする付記7に記載の半導体装置。

**【0148】**

(付記9) 前記素子はHEMTであり、前記SiC基板の上から見た場合に、少なくとも前記第2熱伝導体の一部が、前記HEMTのゲート電極とドレイン電極との間に位置することを特徴とする付記7に記載の半導体装置。

**【0149】**

(付記10) SiC基板と、

前記SiC基板中の孔内に形成され、炭素元素の線状構造体により構成される第1熱伝導体と、

前記SiC基板の一方の面の全面を覆うように形成され、炭素元素の線状構造体により構成される第2熱伝導体と、

前記SiC基板の他方の面上に形成された素子と  
を有することを特徴とする半導体装置。

**【0150】**

(付記11) 30μm以上200μm以下の厚さの半導体基板と、

前記半導体基板中の孔内に形成され、炭素元素の線状構造体により構成される熱伝導体と

を有することを特徴とする半導体装置。

【0151】

(付記12) 前記半導体基板は、シリコン基板、ガリウム砒素基板、及びサファイア基板のいずれかであることを特徴とする付記11に記載の半導体装置。

【0152】

(付記13) 窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板を熱処理することにより、前記窓から露出するSiC基板に炭素元素の線状構造体を選択的に成長させて熱伝導体にする工程と  
を有することを特徴とする半導体装置の製造方法。

【0153】

(付記14) 前記熱処理は、酸素雰囲気内又は減圧雰囲気において、1200℃以上2000℃以下の基板温度で行われることを特徴とする付記13に記載の半導体装置の製造方法。

【0154】

(付記15) 前記熱処理により前記マスク膜が分解されて膜厚が減少することを特徴とする付記13に記載の半導体装置の製造方法。

【0155】

(付記16) 前記マスク膜としてシリコン窒化膜を形成することを特徴とする付記15に記載の半導体装置の製造方法。

【0156】

(付記17) 前記線状構造体の成長を前記SiC基板の途中の深さで停止させた後、前記SiC基板の他方の面上に膜を形成することを特徴とする付記13に記載の半導体装置の製造方法。

【0157】

(付記18) 前記膜として半導体膜を形成することを特徴とする付記17に記載の半導体装置の製造方法。

【0158】

(付記19) 前記熱伝導体に至る深さのホールを前記膜と前記SiC基板とに形成する工程と、

前記熱伝導体と電気的に接続される電極を前記ホールの中に形成する工程とを有することを特徴とする付記17に記載の半導体装置の製造方法。

【0159】

(付記20) 前記熱処理は、前記SiC基板の上に素子を形成する前に行われることを特徴とする付記13に記載の半導体装置の製造方法。

【0160】

(付記21) 第1窓を備えた第1マスク膜をSiC基板の一方の面上に形成する工程と、

前記SiC基板に対して第1の熱処理をすることにより、前記第1窓から露出する該SiC基板に炭素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、

前記第1マスク膜が除去されたSiC基板の一方の面上と前記第1熱伝導体上とに、該第1熱伝導体から離れた部分に第2窓を備えた第2マスク膜を形成する工程と、

前記SiC基板に対して第2の熱処理をすることにより、前記第2窓から露出する該SiC基板に炭素元素の線状構造体を選択的に成長させて第2熱伝導体にする工程と  
を有することを特徴とする半導体装置の製造方法。

【0161】

(付記22) 窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板に対して第1の熱処理を行うことにより、前記窓から露出する該SiC基板に炭素元素の線状構造体を選択的に成長させて第1熱伝導体にする工程と、

前記マスク膜が除去されたSiC基板に対して第2の熱処理を行うことにより、該SiC基板の一方の面の全面に炭素の線状構造体を成長させて第2熱伝導体にする工程と

を有することを特徴とする半導体装置の製造方法。

**【0162】**

(付記23) 窓を備えたマスク膜をSiC基板の一方の面上に形成する工程と、前記SiC基板を熱処理することにより、前記窓から露出する該SiC基板に炭素元素の線状構造体を途中の深さまで選択的に成長させて熱伝導体とする工程と、前記SiC基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程とを有することを特徴とする半導体装置の製造方法。

**【0163】**

(付記24) 前記SiC基板の一方の面側に露出する熱伝導体上に保護膜を形成する工程と、

前記保護膜の上に膜を形成する工程とを有することを特徴とする付記23に記載の半導体装置の製造方法。

**【0164】**

(付記25) 横方向成長モードのMOCVD法により前記膜を形成することを特徴とする付記24に記載の半導体装置。

**【0165】**

(付記26) 前記保護膜として、格子定数が前記SiC基板と前記膜の間の値を有する膜を形成することを特徴とする付記24に記載の半導体装置。

**【0166】**

(付記27) 前記熱伝導体に至る深さのホールを前記膜と前記保護膜とに形成する工程と、前記熱伝導体と電気的に接続される電極を前記ホール内に形成する工程とを有することを特徴とする付記24に記載の半導体装置の製造方法。

**【0167】**

(付記28) 半導体基板の一方の面に孔を形成する工程と、

前記孔の中に炭素の線状構造物を選択的に成長させて熱伝導体にする工程と、

前記半導体基板を他方の面側から研磨して前記熱伝導体の表面を露出させる工程とを有することを特徴とする半導体装置の製造方法。

**【0168】**

(付記29) 前記炭素の線状構造物は化学的気相成長法により成長されることを特徴とする付記28に記載の半導体装置の製造方法。

**【図面の簡単な説明】**

**【0169】**

【図1】 図1 (a) ~ (c) は、本発明の第1実施形態に係る半導体装置の製造方法を工程順に示す断面図（その1）である。

【図2】 図2 (a)、(b) は、本発明の第1実施形態に係る半導体装置の製造方法を工程順に示す断面図（その2）である。

【図3】 図3 (a)、(b) は、本発明の第1実施形態に係る半導体装置の製造方法を工程順に示す断面図（その3）である。

【図4】 図4は、本発明の第1実施形態に係る半導体装置の製造方法について示す平面図である。

【図5】 図5 (a) ~ (c) は、本発明の第2実施形態に係る半導体装置の製造方法を工程順に示す断面図（その1）である。

【図6】 図6は、本発明の第2実施形態に係る半導体装置の製造方法を工程順に示す断面図（その2）である。

【図7】 図7は、本発明の第2実施形態に係る半導体装置の製造方法について示す平面図である。

【図8】 図8は、本発明の第2実施形態に係る半導体装置の別の例について示す平面図である。

【図9】 図9 (a) ~ (c) は、本発明の第3実施形態に係る半導体装置の製造方法

を工程順に示す断面図である。

【図10】図10（a）～（c）は、本発明の第4実施形態に係る半導体装置の製造方法を工程順に示す断面図（その1）である。

【図11】図11（a）、（b）は、本発明の第4実施形態に係る半導体装置の製造方法を工程順に示す断面図（その2）である。

【図12】図12（a）、（b）は、本発明の第4実施形態に係る半導体装置の製造方法を工程順に示す断面図（その3）である。

【図13】図13（a）、（b）は、本発明の第4実施形態に係る半導体装置の製造方法を工程順に示す断面図（その4）である。

【図14】図14（a）～（c）は、本発明の第5実施形態に係る半導体装置の製造方法を工程順に示す断面図（その1）である。

【図15】図15（a）～（c）は、本発明の第5実施形態に係る半導体装置の製造方法を工程順に示す断面図（その2）である。

【図16】図16（a）～（c）は、本発明の第5実施形態に係る半導体装置の製造方法を工程順に示す断面図（その3）である。

【図17】図17（a）、（b）は、本発明の第5実施形態に係る半導体装置の製造方法を工程順に示す断面図（その4）である。

【図18】図18は、本発明のその他の実施形態に係る半導体装置の断面図である。

【符号の説明】

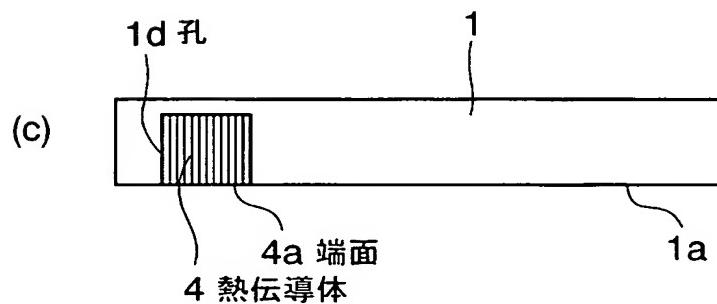
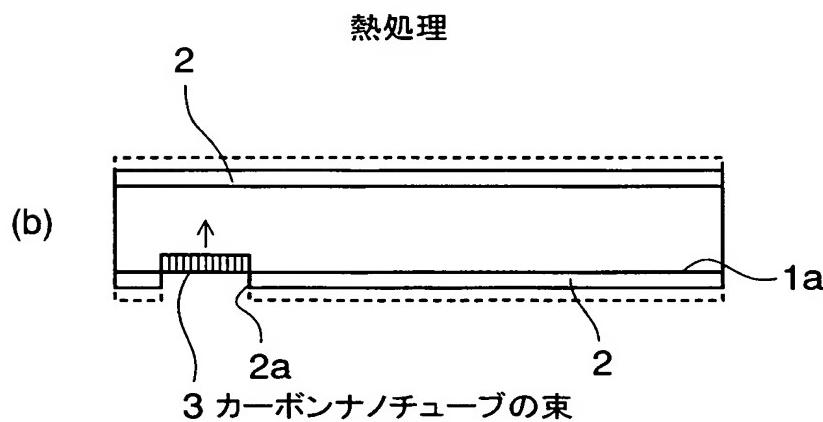
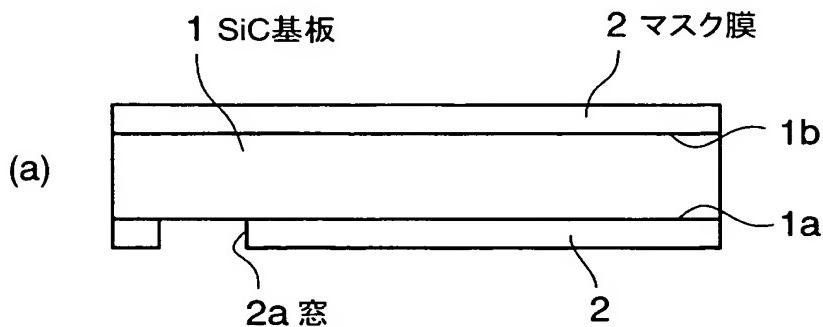
【0170】

1…SiC基板、1a…一方の面、1b…他方の面、1e、40a、1d…孔、2、21…マスク膜、2a、21a…窓、3、43…カーボンナノチューブ、4、17、22、44…熱伝導体、5、25…チャネル層、6、26…スペーサ層、7、27…電子供給層、8、32…接地電極、9、28…ホール、10、29…ソース電極、11、30…ドレイン電極、12、31…ゲート電極、13…第1マスク膜、13a…第1窓、14…第1熱伝導体、15…第2マスク膜、15a…第2窓、16…第2熱導電体、17a…第1熱伝導体、17b…第2熱伝導体、23…保護膜、24…バッファ層、40…シリコン基板、41…レジストパターン、41a…窓、42…触媒層、50…ヒートシンク。

【書類名】図面

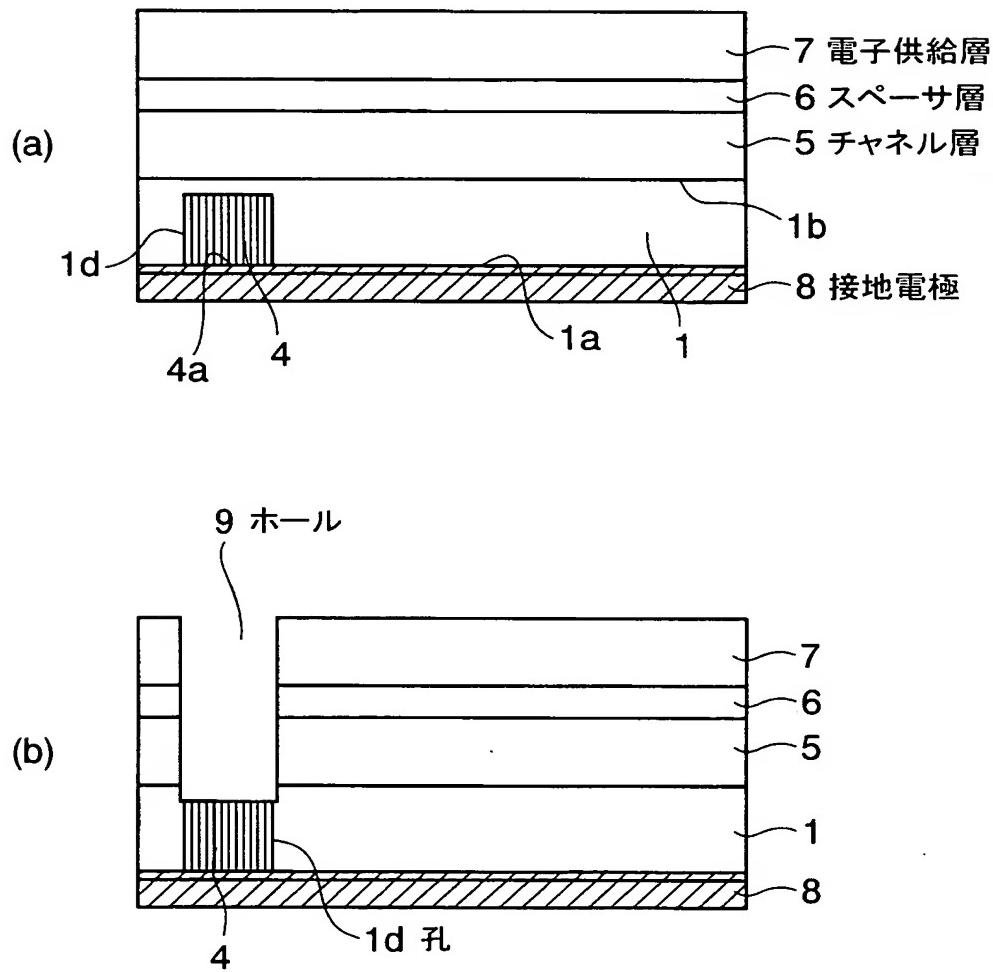
【図1】

本発明の第1実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その1)



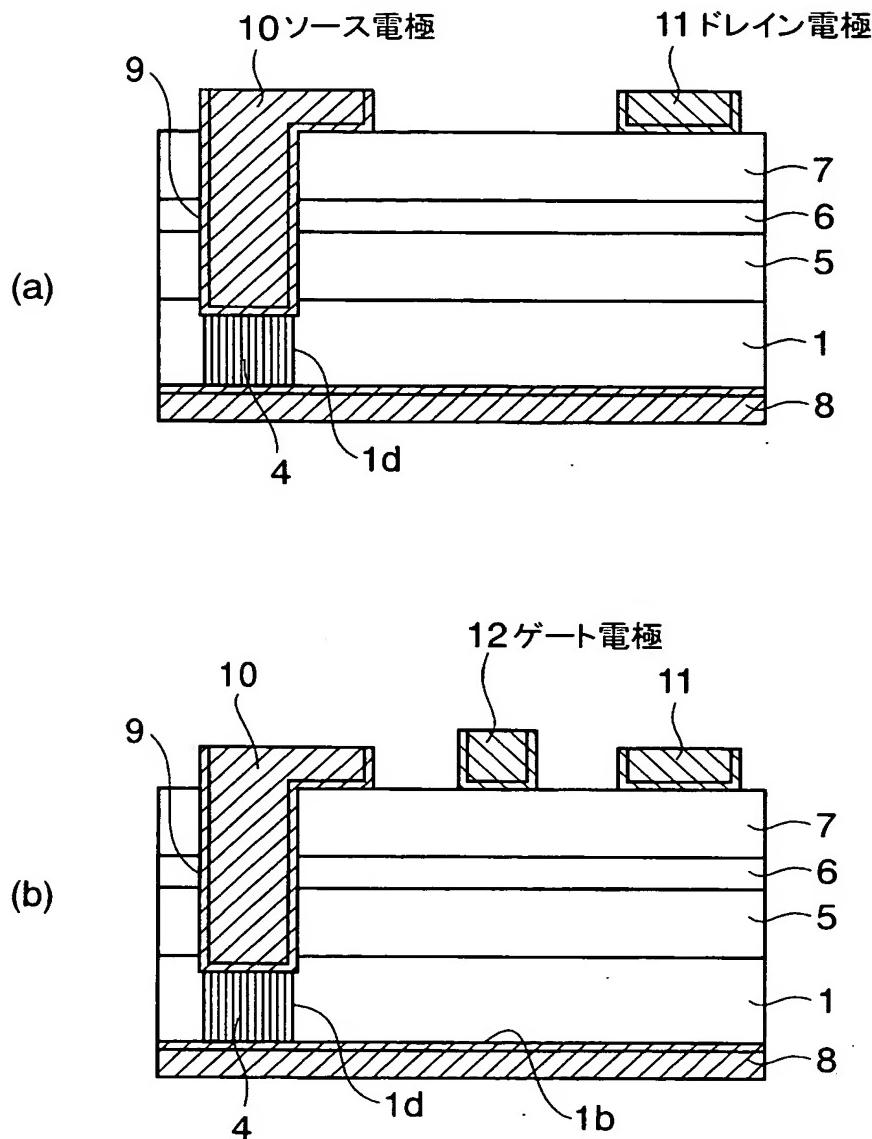
## 【図 2】

本発明の第1実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その2)



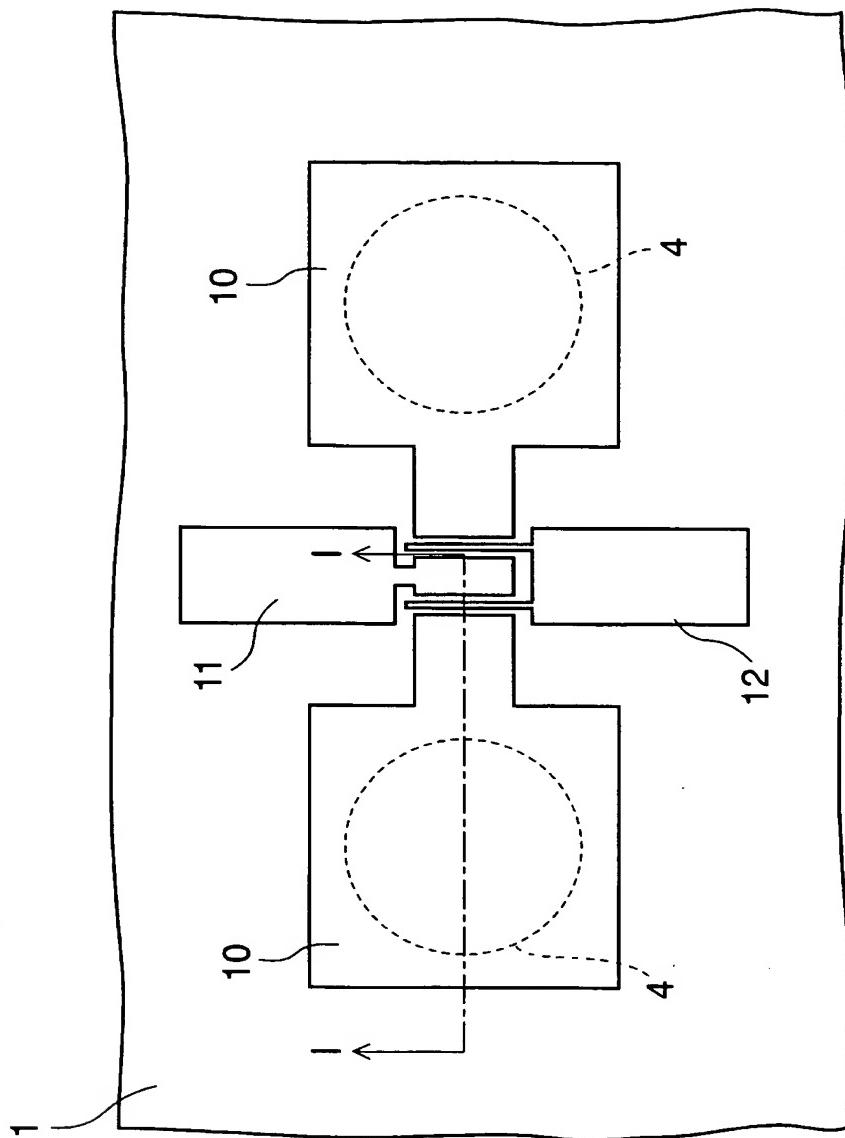
## 【図3】

本発明の第1実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その3)



【図4】

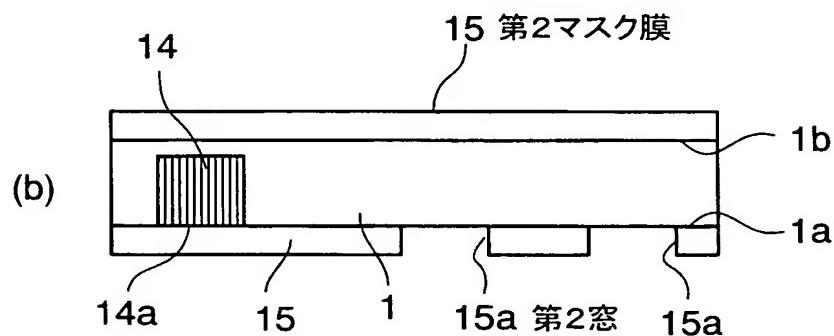
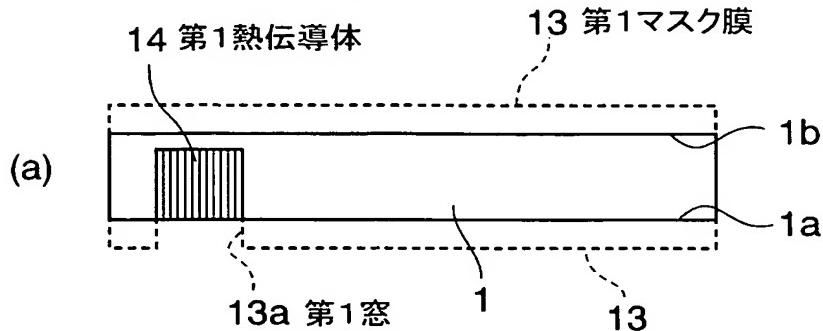
本発明の第1実施形態に係る半導体装置の製造方法について示す平面図



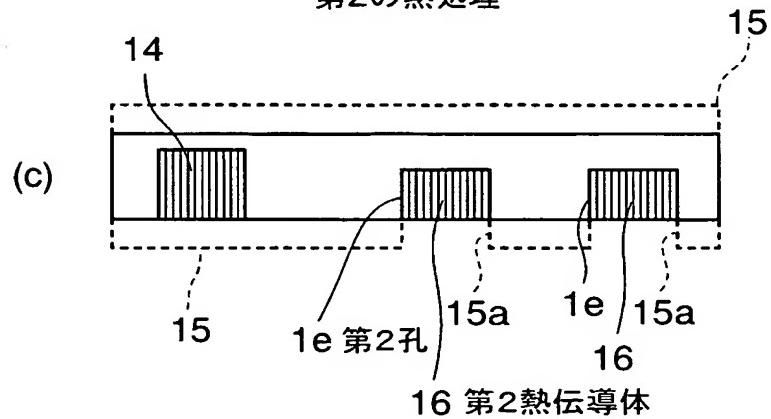
【図 5】

本発明の第2実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その1)

## 第1の熱処理

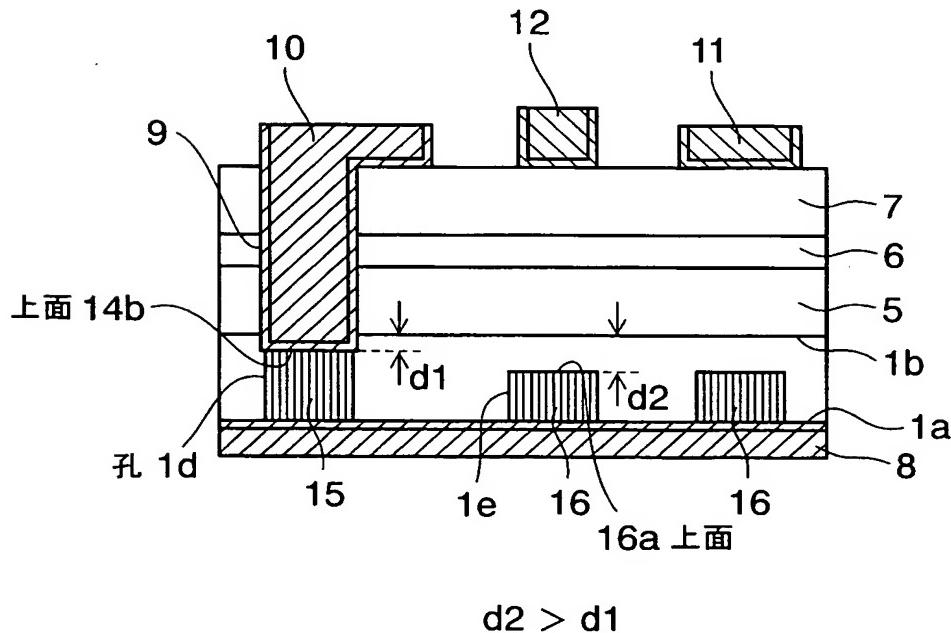


## 第2の熱処理



【図 6】

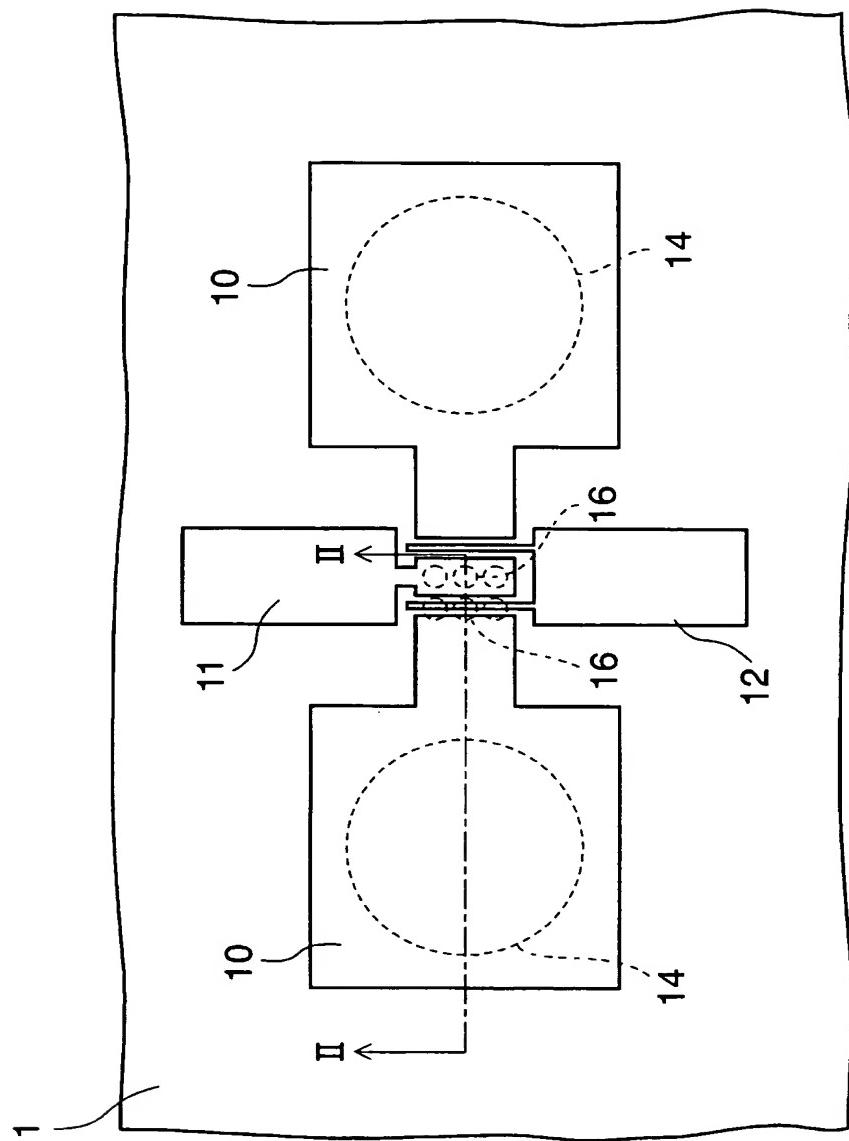
本発明の第2実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その2)



$$d_2 > d_1$$

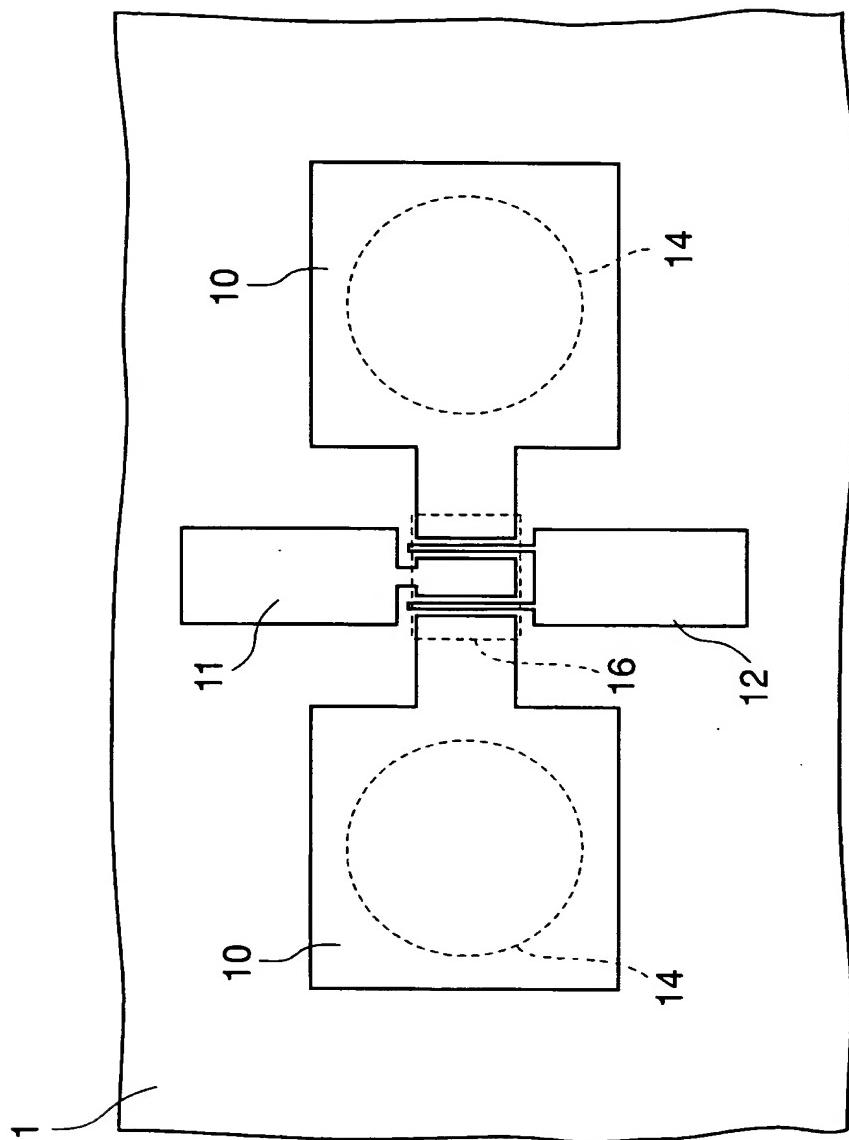
【図 7】

本発明の第2実施形態に係る半導体装置の製造方法について示す平面図



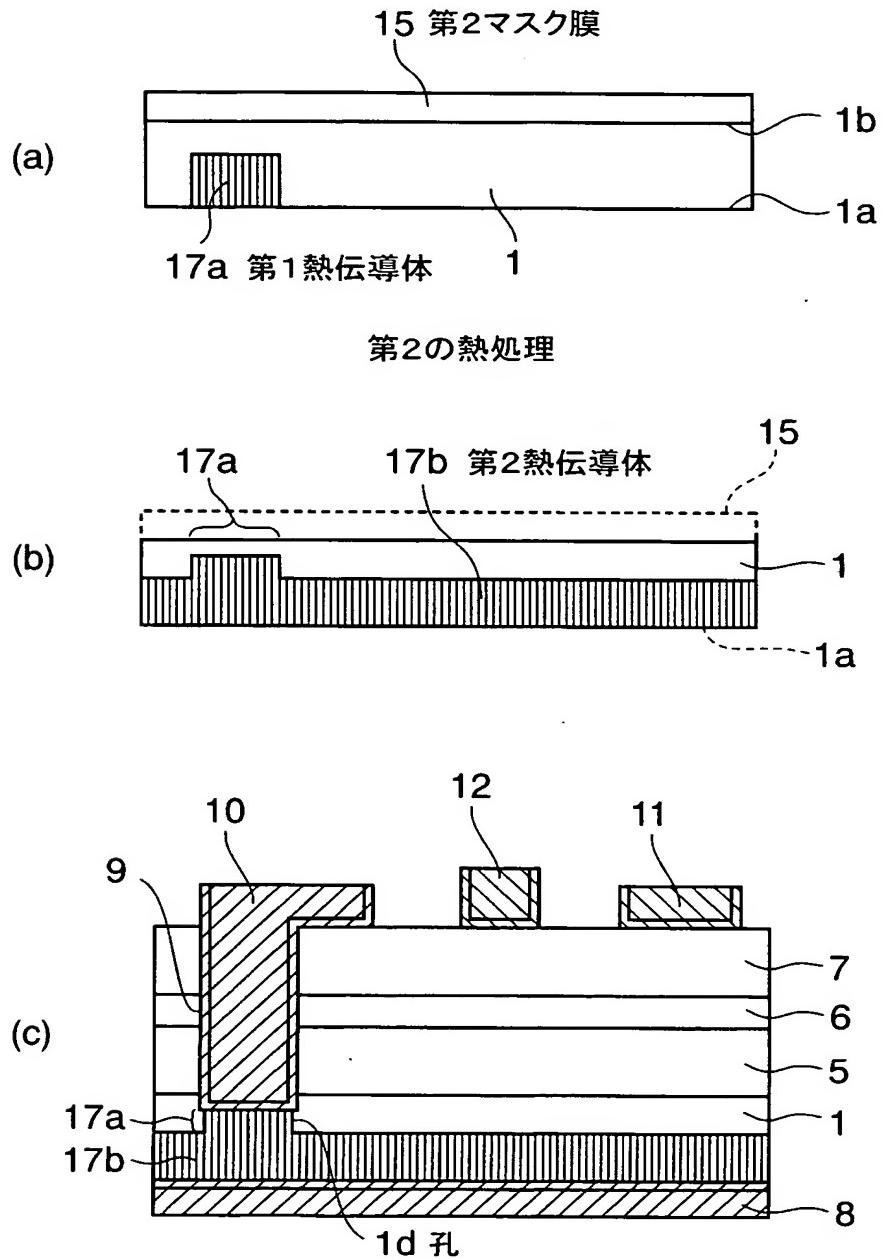
【図 8】

本発明の第2実施形態に係る半導体装置の別の例について示す平面図



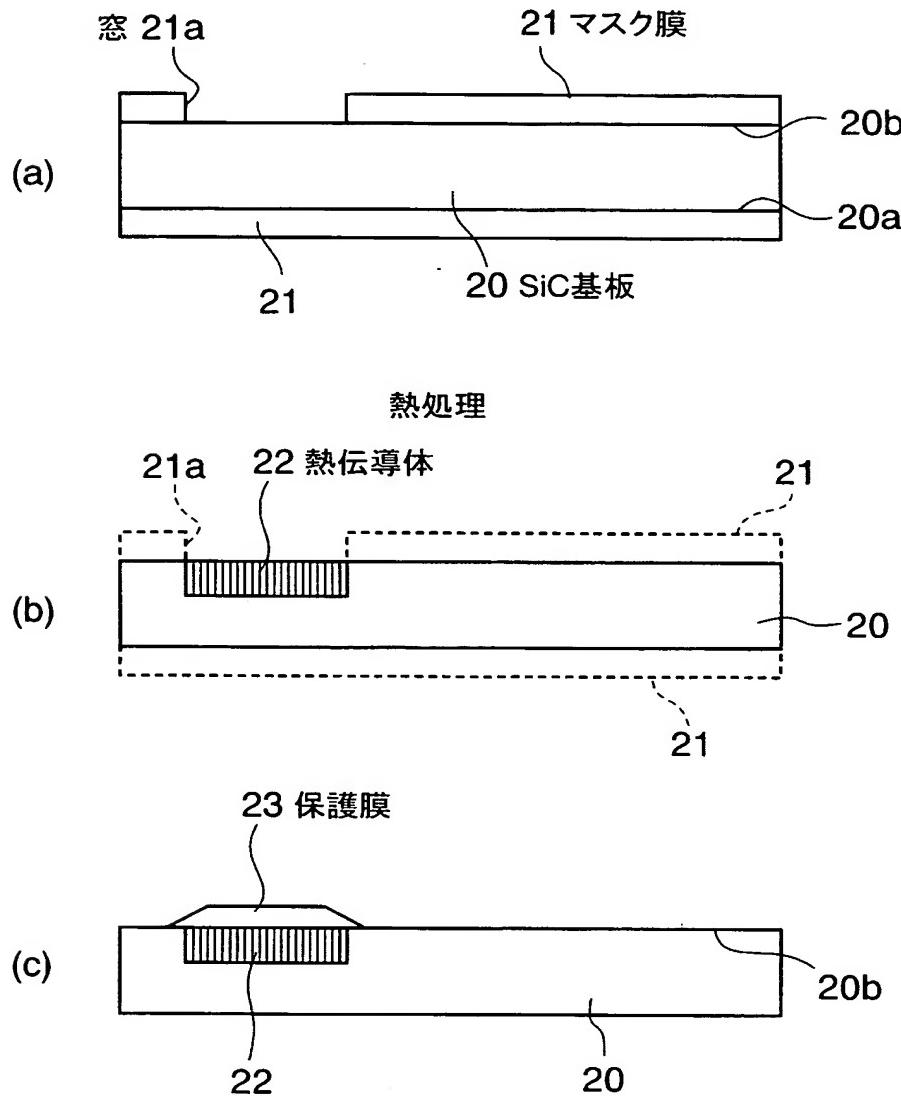
【図9】

本発明の第3実施形態に係る半導体装置の製造方法  
を工程順に示す断面図



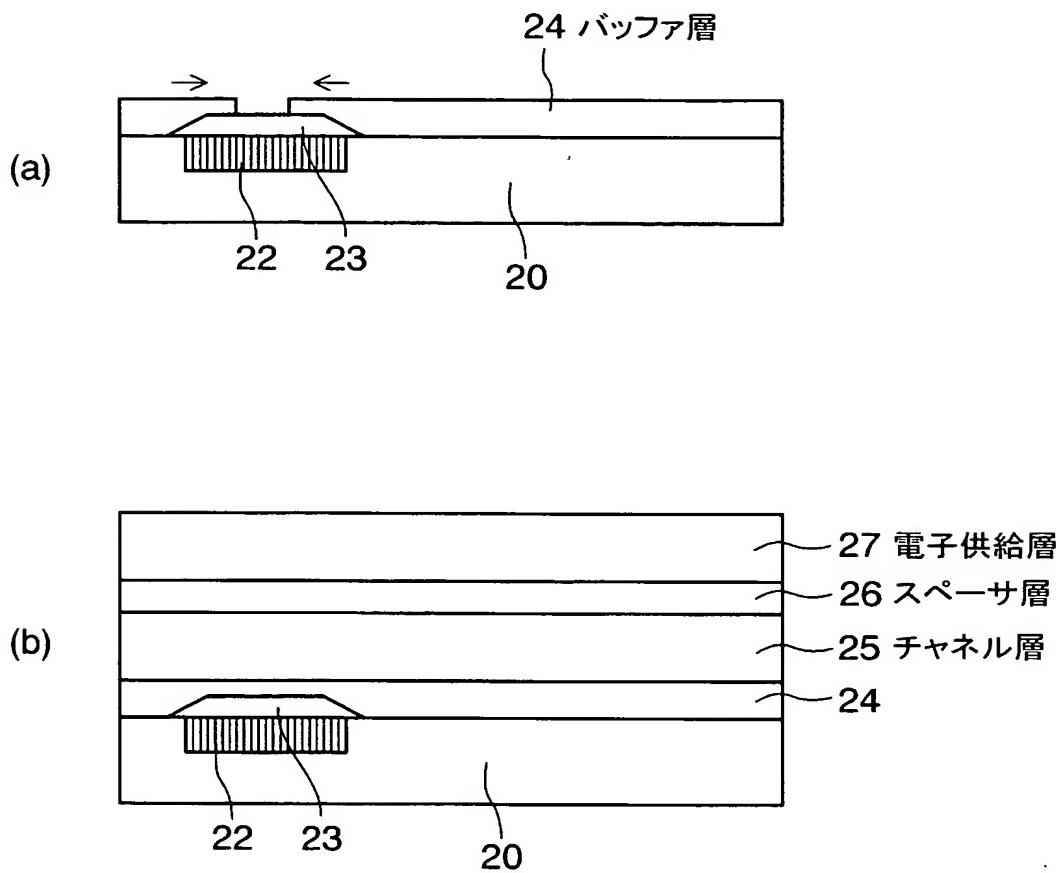
## 【図10】

本発明の第4実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その1)



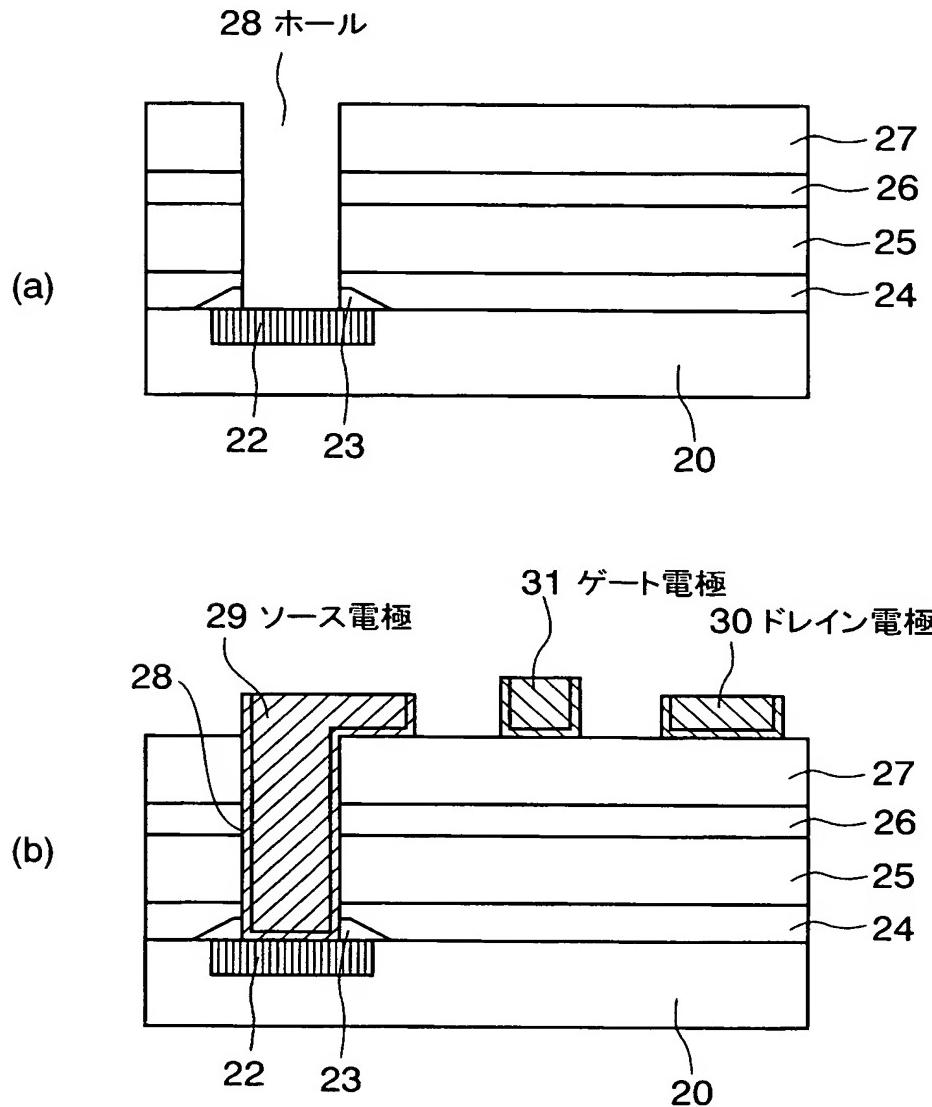
## 【図11】

本発明の第4実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その2)



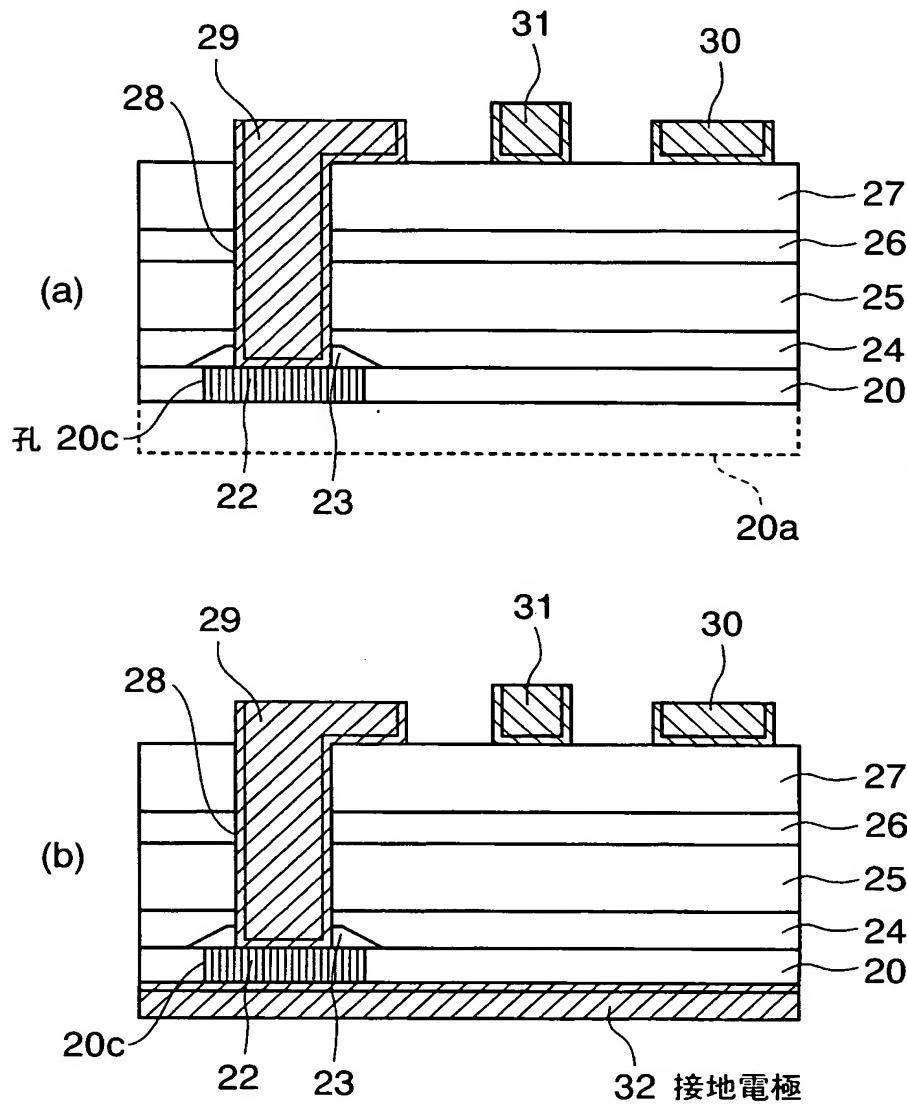
## 【図12】

本発明の第4実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その3)



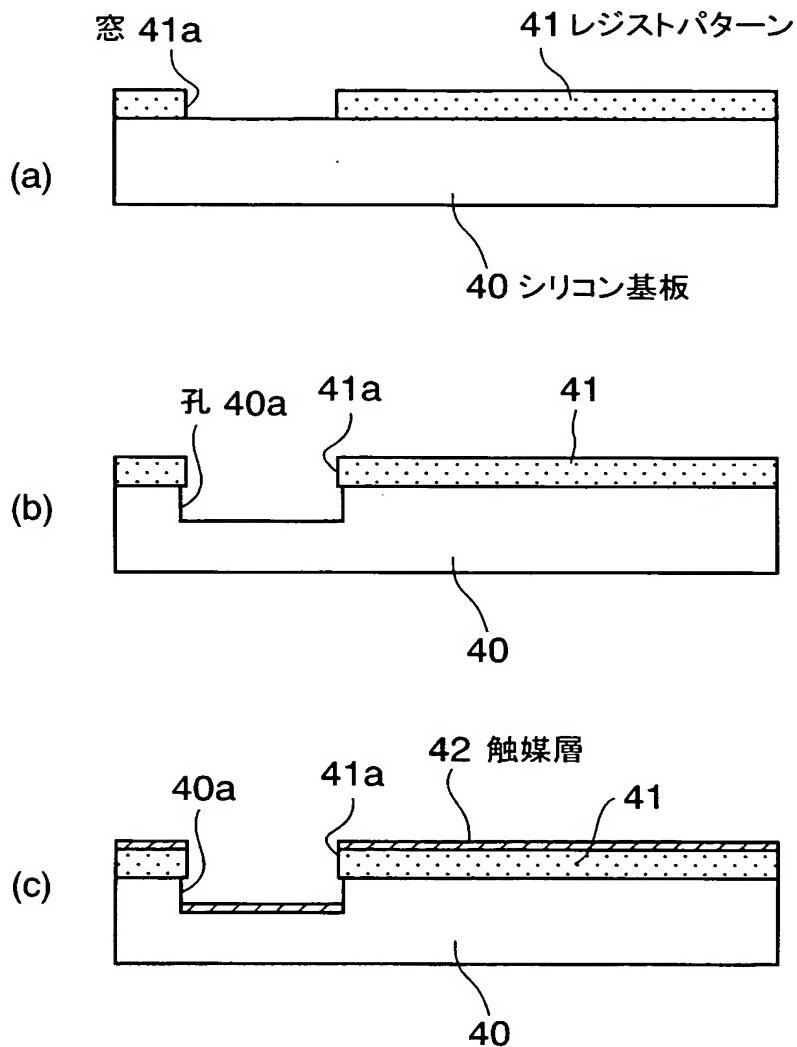
【図13】

本発明の第4実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その4)



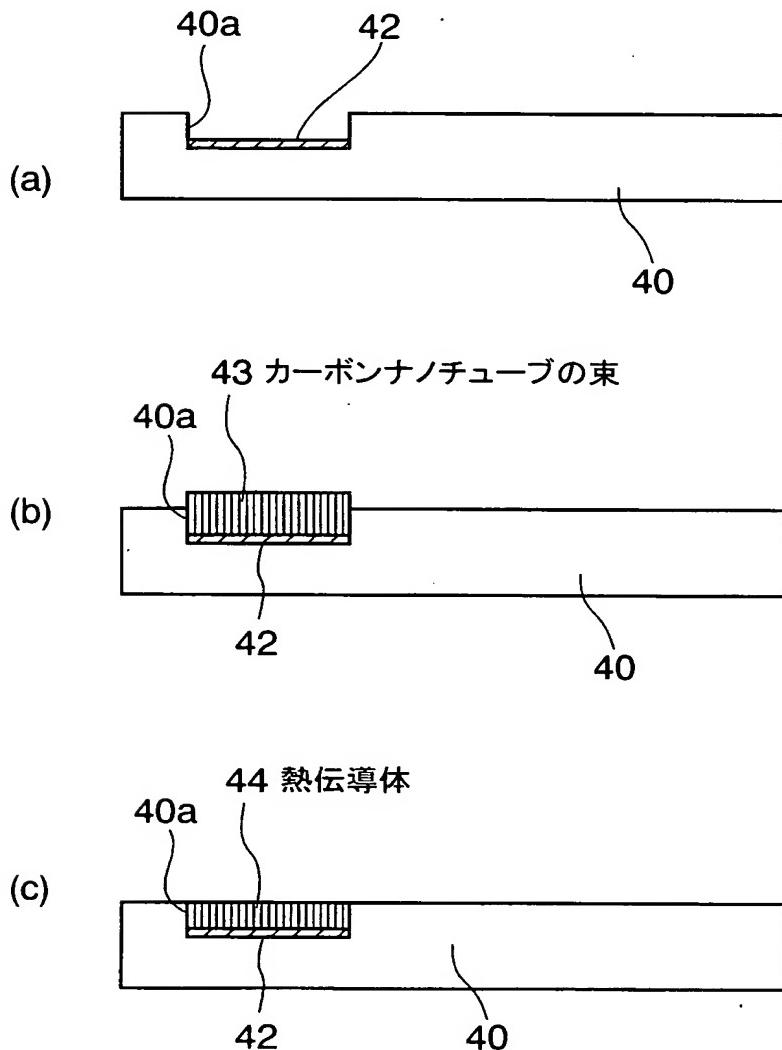
## 【図14】

本発明の第5実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その1)



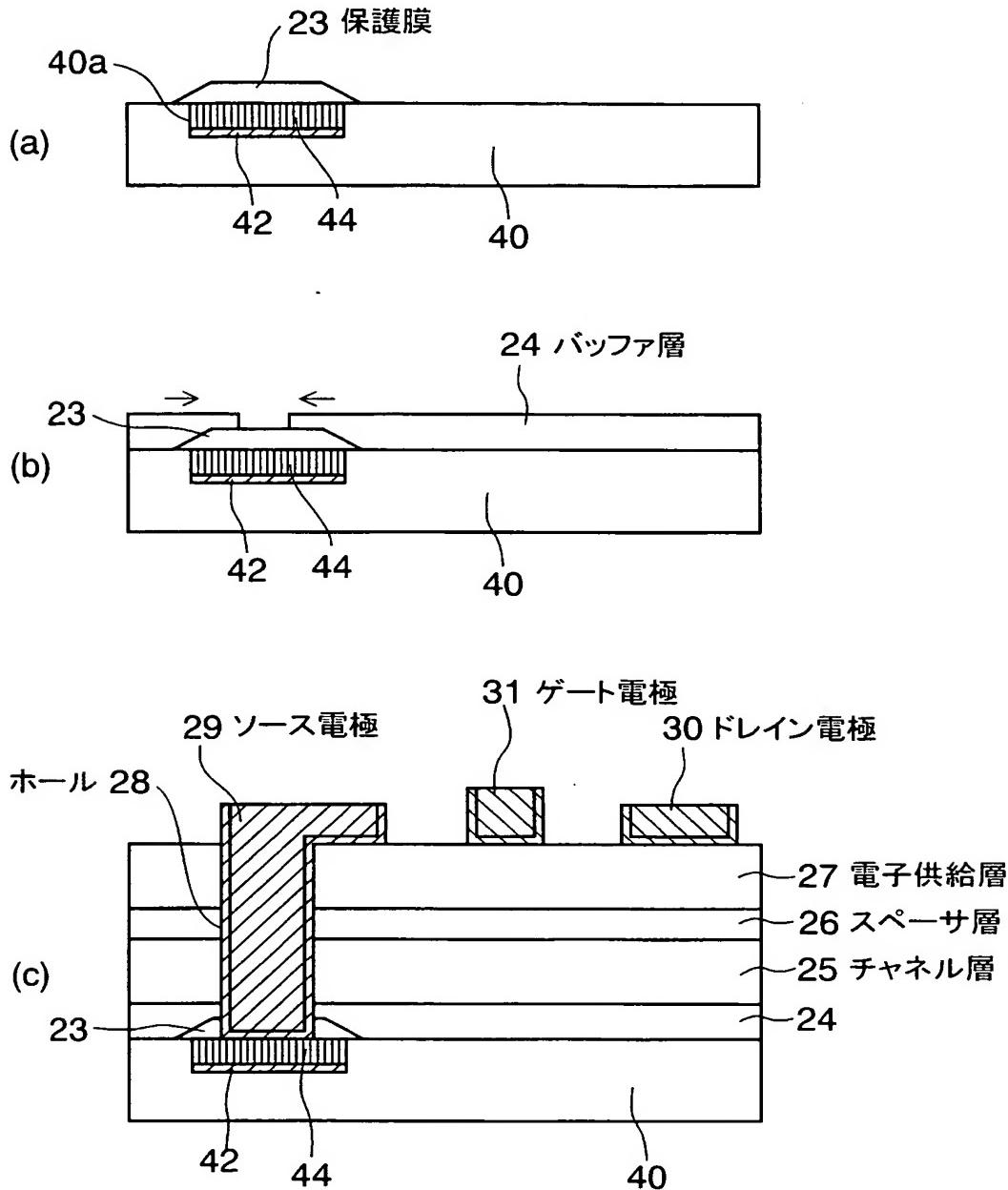
## 【図15】

本発明の第5実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その2)

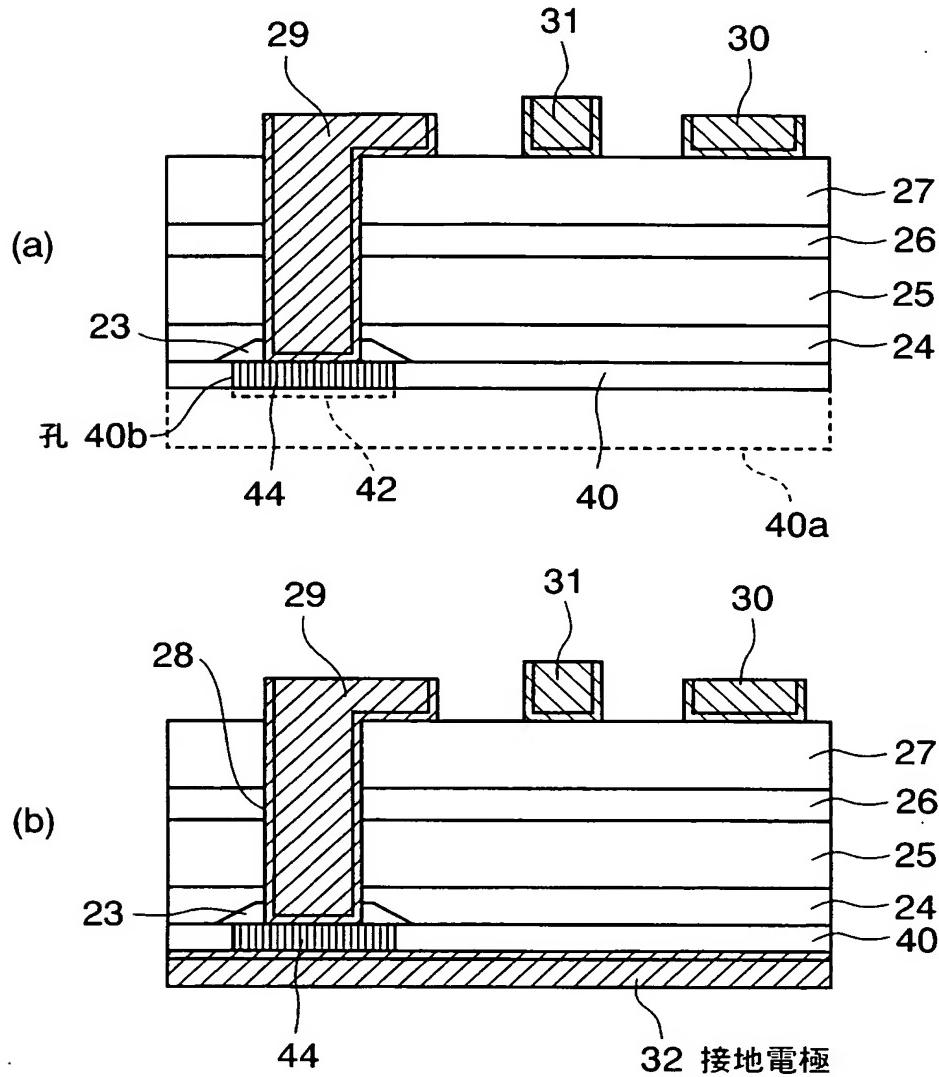


## 【図16】

本発明の第5実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その3)

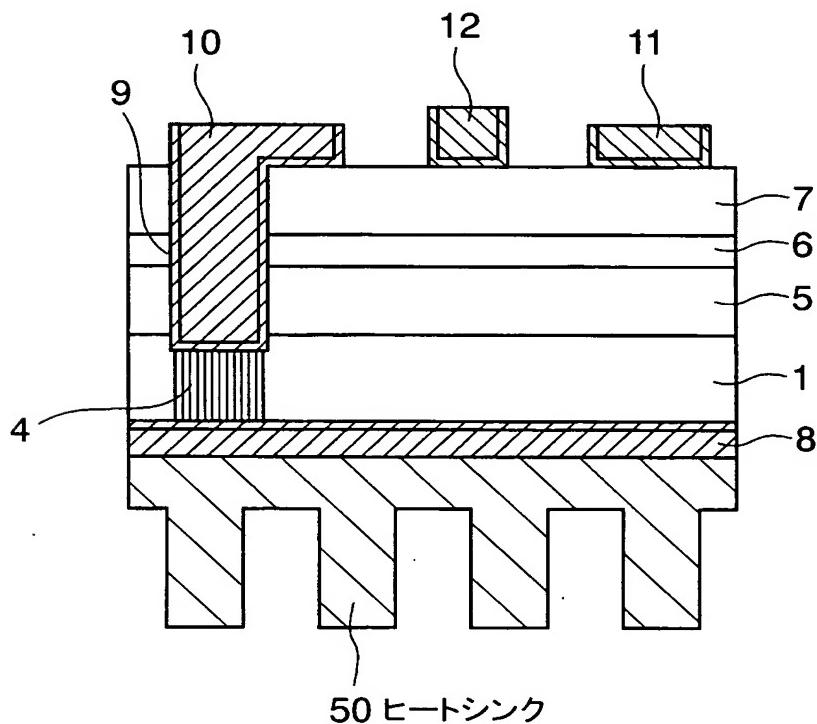


【図17】

本発明の第5実施形態に係る半導体装置の製造方法  
を工程順に示す断面図(その4)

【図18】

本発明のその他の実施形態に係る半導体装置の断面図



【書類名】要約書

【要約】

【課題】 素子で発生する熱を効果的に放熱することができる半導体装置及びその製造方法を提供すること。

【解決手段】 SiC基板1と、SiC基板1中の孔1d内に形成され、炭素元素の線状構造体により構成される熱伝導体4とを有することを特徴とする半導体装置による。

【選択図】 図3

特願 2003-340404

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏名 富士通株式会社